

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-198292
(43)Date of publication of application : 31.07.1998

(51)Int.Cl. G09F 9/30
G02F 1/133
G02F 1/1345
G02F 1/136
H01L 29/786

(21)Application number : 08-358956

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 30.12.1996

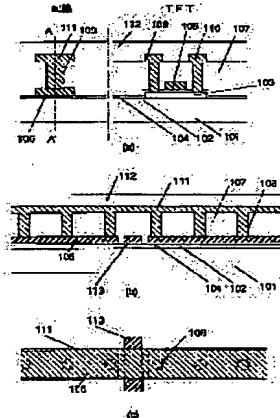
(72)Inventor : KOYAMA JUN
OTANI HISASHI
OGATA YASUSHI
YAMAZAKI SHUNPEI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen the dulling of transmitted signal waveforms by lowering the resistance of wirings on which high frequencies are impressed and have lengths from several cm to several tens cm in a semiconductor device having circuits composed of thin-film transistors(TFTs) having active layers formed by utilizing crystalline silicon films on a substrate having an insulation surface.

SOLUTION: The wirings 111 on which the high frequencies are impressed are electrically connected in parallel with auxiliary wirings 106 by contact holes formed in a plurality along the line direction of the wirings 111 via interlayer insulating films. The formation of the auxiliary wirings 106 is executed by the same stage as the stage for forming electrodes 105 constituting the TFTs, by which the electric resistance of the wirings is effectively reduced and the dulling of the waveforms at the time of the impression of the high-frequency signals is lessened without increasing the number of stages.



LEGAL STATUS

[Date of request for examination] 06.03.2003

[Date of sending the examiner's decision of rejection] 14.06.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-13345

[Date of requesting appeal against examiner's decision of rejection] 13.07.2005

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device characterized by to carry out the parallel connection of the at least 1 section of at least one wiring to auxiliary wiring prepared through the interlayer insulation film electrically, and to be constituted it among wiring connected to wiring prepared all over said circuit, and/or said circuit in the semiconductor device with which the circuit using the thin film transistor which has the barrier layer which becomes by the crystalline silicon film was prepared on the substrate which has an insulating front face.

[Claim 2] The semiconductor device characterized by impressing a RF to wiring in claim 1.

[Claim 3] It is the semiconductor device characterized by being that from which a circuit constitutes the circumference circuit of the active matrix liquid crystal display of circumference circuit one apparatus in claim 1.

[Claim 4] It faces producing the thin film transistor which has the barrier layer which comes by the crystalline silicon film on the substrate which has an insulating front face, and two or more electrodes each other insulated with the interlayer insulation film. The production approach of the semiconductor device characterized by forming auxiliary wiring electrically connected to said wiring at juxtaposition in the process which forms wiring in the process which forms one electrode in said two or more electrodes, and forms one or more electrodes of the others of said two or more electrodes.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the wiring structure of the integrated circuit which used the thin film transistor (it is called Following TFT), and was formed on the substrate which has an insulating front face. This invention relates to the wiring structure of the liquid crystal display of circumference circuit one apparatus which used TFT and was formed on the substrate which has an

insulating substrate.

[0002]

[Description of the Prior Art] The silicon film which has crystallinity on a glass substrate or a quartz substrate is formed, and the technique which produces a thin film transistor (Following TFT is called) as the silicon film is also known.

[0003] This thin film transistor is called elevated-temperature poly-Si TFT and low-temperature poly-Si TFT.

[0004] Elevated-temperature poly-Si TFT is formed on a heat-resistant high substrate, for example, a quartz substrate, in order to obtain the crystalline silicon film which constitutes a barrier layer with 800 degrees C – 900 degrees C heating.

[0005] using a process 600 degrees C or less, another side low-temperature poly-Si TFT comes out, and is comparatively formed on heat-resistant low substrates, such as glass.

[0006] Moreover, elevated-temperature poly-Si TFT tends to integrate on a substrate TFT to which the property was equal. Moreover, the various conventional process conditions and the production equipment in IC process can be diverted. Contest TFT an another side low-temperature polish has the description that it is cheap as a substrate and a glass substrate with easy large-area-izing can be used.

[0007] In addition, in the present technique, a big difference does not have elevated-temperature poly-Si TFT and low-temperature poly-Si TFT in the property, either.

[0008] That is, if it says with mobility, it will be 50–100 (cm²/Vs). That extent and whose S value are 200 to 400 (mV/dec) (VD =1V) extent is obtained in both.

[0009] And the technique which constitutes the so-called liquid crystal display of circumference circuit one apparatus which forms an integrated circuit, and a active-matrix circuit and the circumference circuit which drives this circuit on the same substrate is studied using such TFT.

[0010] However, conventional elevated-temperature poly-Si TFT or low-temperature poly-Si TFT are not greatly so good as compared with the property of the MOS transistor using a single crystal silicon wafer. the S value of the MOS transistor which generally used the single crystal silicon wafer -- 60–70 (mV/dec) it is .

[0011] And even if it makes it low-temperature poly-Si TFT and makes it elevated-temperature poly-Si TFT, since mobility is low, the present condition is that the drive frequency of a TFT simple substance is set to about several MHz or less.

[0012] For example, even if it constitutes the circumference circuit of a liquid crystal display, the direct input of the clock signal or video signal several 10MHz or more which are needed in a display cannot be carried out, and they cannot be driven.

[0013] Therefore, wiring which transmits a clock signal and a video signal is divided into two or more wiring, the frequency of a signal is dropped, and TFT is supplied (it is called a division drive). For example, a 10MHz clock signal is divided into wiring of four, it is referred to as 2.5MHz in each wiring, and each TFT is driven on this low frequency. Therefore, the number of wiring and the number of TFT(s) increased, and the problem of installation area increasing has occurred.

[0014] On the other hand, TFT which has the engine performance which is equal to the MOS transistor using a single crystal silicon wafer by research of this invention persons though it is TFT using the crystalline silicon film is developed.

[0015] This TFT uses the crystalline silicon film with the grain boundary which has the crystal structure which has a continuity in the predetermined the direction of a source drain, for example, direction, as a barrier layer, and extended in said predetermined direction.

[0016] Minute amount installation of the metallic element which promotes crystallinity on the amorphous silicon film, for example, the nickel, is carried out, horizontal growth is heated and carried out at the temperature of 500 degrees C – 630 degrees C, for example, 600 degrees C, and this crystalline silicon film is obtained by forming that post heating oxide film.

[0017] For this TFT, S value is 100 (mV/dec). It is the following and mobility is 200 (cm²/Vs). It has the

extremely excellent property, such as the above. And it can drive alone on the frequency of dozens of MHz – 100MHz or more of numbers. It comes out to integrate and form TFT in which a high-speed drive is possible on the substrate of a large area by using such TFT.

[0018] Consequently, as compared with the former, it can reduce sharply a thin film transistor and the number of wiring required for a drive, and the circuit of the extremely excellent engine performance is not only obtained, but can contribute to the miniaturization of equipment, and high integration greatly.

[0019]

[Problem(s) to be Solved by the Invention] However, when the large area severalcm** – number 10cm** like the active matrix liquid crystal display of circumference circuit one apparatus is covered, the integrated circuit was constituted from TFT and the integrated circuit concerned is driven on high frequencies, such as several 10MHz – 100MHz or more of numbers, wave-like “provincial accent” of the RF signal transmitted with wiring poses a very big problem.

[0020] Here, the circumference circuit of a liquid crystal display is mentioned as an example, and is explained. The plan of the active matrix liquid crystal display of circumference circuit one apparatus is shown in drawing 5.

[0021] In drawing 5, the opposite substrate 902 which has a counterelectrode (not shown) inside is formed through the liquid crystal which counters a substrate 901 and is not illustrated.

[0022] The active-matrix display 905 prepared by having the thin film transistor for switching which was connected to the circumference circuit 903 for a data-line (source line) drive and the circumference circuit 904 for a scanning-line (gate line) drive on the substrate 901, and was connected to the pixel electrode and this electrode at each pixel is formed.

[0023] And the flat cable 906 prolonged from an external circuit in order to supply a signal to a liquid crystal display is electrically connected to the circumference wiring 907 at the edge of a substrate 901. And the circumference wiring 907 is connected to the wiring 908 and 909 in the circumference circuit 903 and 904.

[0024] The circumference wiring 907 and the wiring 908 and 909 in a circumference circuit are the line breadth and spacing of several 10 micrometers – about 100 micrometers of numbers, and are two or more wiring arranged at parallel or outline parallel.

[0025] These wiring is formed in coincidence in the process which forms the thin film transistor of the circumference circuits 903 and 904 or the active-matrix circuit of a display 905, and consists of thin films of a conductive ingredient, for example, aluminum.

[0026] And in these wiring, what transmits a very high frequency, for example, a signal 10MHz or more, exists. The video signal line which transmits a video signal, and the clock signal line which supplies a clock signal are the typical thing.

[0027] Generally, a clock frequency is set to about 12.5MHz by VGA (640x480x3 (three colors of RGB)), and a video signal also serves as such a high frequency that the resolution of an image becomes high according to a clock signal.

[0028] Since especially the circumference circuits 903 and 904 that drive the display 905 which has the magnitude of severalcm** – 10cm [of numbers] ** in the liquid crystal display of circumference circuit one apparatus are formed along each side of a display, they usually have the die length of several cm – 10cm of numbers along the side.

[0029] And also in which circuit of the circumference circuits 903 and 904, it has wiring which pierces through from the edge of a circuit to an edge, and is prepared. A clock signal line and a video signal line are also such wiring. Therefore, these wiring has the die length of several cm – 10cm of numbers in the interior of a circumference circuit.

[0030] If wiring has such die length, even if it constitutes wiring from an ingredient with high electrical conductivity, such as metaphor aluminum, the electric resistance of each wiring becomes very large.

[0031] Moreover, die length is set to about several 10cm from several cm by the circumference wiring 907 for transmitting the signal from a flat cable 906 to a circumference circuit depending on the case by

100 micrometers of number 10-micrometer of line breadth - numbers.

[0032] Therefore, considering the die length of the circumference wiring 907, and the die length of the wiring 908 and 909 in a circumference circuit, on a scale like the conventional IC chip, a signal will be transmitted with very long wiring which is not considered.

[0033] On the other hand, in wiring arranged in parallel, since it is separated only from several 10 micrometers - about 100 micrometers only of numbers, when a RF is impressed, it is easy to produce capacity coupling.

[0034] Furthermore, in the case of a liquid crystal display, the counterelectrode (not shown) prepared all over opposite substrate 907 exists. Not only the display 905 but the circumference circuits 903 and 904 and the circumference wiring 907 are arranged to an opposite substrate and the field which counters in many cases from a viewpoint of protection of the circumference circuits 903 and 904, or simplification of a making process.

[0035] Therefore, the circumference wiring 907 and the wiring 908 and 909 in a circumference circuit will be countered, a counterelectrode will exist, and capacity coupling will arise among these wiring and counterelectrodes.

[0036] Consequently, degradation of a transmission signal wave form and the so-called "provincial accent" occur with the capacity between wiring, and wiring and a counterelectrode (electrode inside the substrate countered and formed through liquid crystal), and the high electric resistance of each wiring.

[0037] That is, a provincial accent produces it, so that it approaches the termination of wiring, even if the wave of the signal transmitted with wiring has the configuration (for example, rectangle) good in an input phase, a wave-like standup will be overdue or a wave will be confused.

[0038] If the provincial accent of a signal wave form becomes large, the timing of a circuit of operation will be overdue, or the mistaken image information will be transmitted to a pixel, and malfunction and image turbulence will be produced.

[0039] This problem poses such an important problem in a liquid crystal display that [, so that the magnitude of a display becomes large, and] it raises display resolution and drive frequency becomes high.

[0040] Since RF signals, such as several 10MHz - 100MHz of numbers, were especially impressed to very long wiring also in a circumference circuit in the circuit 903 which drives the data line (source line), the effect of a "provincial accent" was large and was a serious problem.

[0041] Although that to which the integrated circuit which becomes with the chip using a single crystal silicon wafer also operates by the drive frequency of several 10 - 100MHz of numbers is incidentally becoming general, since all integrated circuits are arranged in the chip of 1-2cm** extent, this of the die length of wiring is also short, and if a "provincial accent" is compared with the liquid crystal display of such a large area, it will not be a problem so much.

[0042] In order to reduce the capacity during wiring, it is required to enlarge distance during wiring and to reduce the dielectric constant during wiring.

[0043] However, in order to enlarge distance during wiring, an area required to arrange the circuit using wiring or this wiring increases, and increase of the magnitude of the whole equipment is caused as a result. Moreover, if width of face of wiring is made thin, even if it expands the distance during wiring, it increases and is not desirable [distance / electric resistance].

[0044] moreover, the distance between wiring and a counterelectrode -- comparatively -- being small (an interlayer insulation film being 1-2 micrometers, and a liquid crystal layer being about 10 micrometers by 3-8 micrometers and the sum total) -- the thickness of the layer which consists of liquid crystal ingredients, and the so-called cel gap cannot be increased from an optical problem.

Moreover, even if it tries to adjust the distance of wiring and a counterelectrode with the thickness of an interlayer insulation film, it is difficult to increase distance to the extent that capacity can fully be reduced.

[0045] Therefore, with the present technique, it is difficult to reduce the capacity during wiring

effectively.

[0046] Moreover, electric resistance is considered that it can decrease by making line breadth of wiring thick, and thickening thickness of wiring. However, if line breadth of wiring is made thick, distance with adjoining wiring will become near and short possibility will become high. Moreover, the capacity of wiring also becomes large. Furthermore, capacity with a counterelectrode will also increase.

[0047] On the other hand, if thickness of wiring is thickened, since it will become easy to produce short-circuit with wiring by which a hillock crosses through ***** or the interlayer insulation film which becomes empty with heating in a making process, it is not desirable too.

[0048] The invention in this application solves this problem. That is, let it be a technical problem to reduce the electric resistance of wiring in wiring with which several MHz – 10MHz of numbers, and the high-frequency signal beyond it in the liquid crystal display of the integrated circuit using the thin film transistor formed on the substrate which has a comparatively large-sized insulating front face, especially circumference circuit one apparatus is impressed, without carrying out increase of capacity.

[0049]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, one of the invention indicated on these specifications In the semiconductor device which has a circuit using the thin film transistor which has the barrier layer which comes by the crystalline silicon film on the substrate which has an insulating front face The at least 1 section of at least one wiring is characterized by carrying out parallel connection to auxiliary wiring prepared through the interlayer insulation film electrically, and being constituted among wiring connected to wiring prepared all over said circuit, and/or said circuit.

[0050] The above-mentioned configuration is especially effective when a RF is impressed to wiring.

[0051] Moreover, the above-mentioned configuration is especially effective when an account circuit is what constitutes the circumference circuit of the active matrix liquid crystal display of circumference circuit one apparatus.

[0052] The barrier layer which other configurations indicated on these specifications consist of by the crystalline silicon film on the substrate which has an insulating front face, It faces producing the thin film transistor which has two or more electrodes each other insulated with the interlayer insulation film. In the process which forms wiring in the process which forms one electrode in said two or more electrodes, and forms one or more electrodes of the others of said two or more electrodes, it is characterized by forming auxiliary wiring electrically connected to said wiring at juxtaposition.

[0053] In the above-mentioned configuration, as two or more electrodes, although it is a gate electrode and a source (or drain) electrode, for example, it is not limited to this.

[0054]

[Embodiment of the Invention] The example of a configuration of the semiconductor device which used this invention for drawing 1 is shown. Drawing 1 (a) shows wiring and drawing of longitudinal section of TFT (thin film transistor). In drawing 1 (a), the substrate film 102 which becomes by the oxidation silicon film is formed on the substrate 101. TFT is prepared on it.

[0055] TFT consists of the barrier layer 103 and gate dielectric film 104 which become by the crystalline silicon film, a gate electrode 105, a source electrode 109, and a drain electrode 110. 107 and 112 are interlayer insulation films and the contact hole 108 is formed in 107.

[0056] It is [0057] which is carrying out parallel connection of the wiring 111 to the auxiliary wiring 106 electrically by two or more contact holes through the interlayer insulation film 107 in drawing 1 (a). That is, although wiring consists of only one layer of wiring 111 conventionally, in the configuration of drawing 1, the auxiliary electrode is prepared in the same layer as the gate electrode 105. And by the contact hole 108 which met in the direction of a line of wiring 111, and were established in the interlayer insulation film 107, wiring 111 and the auxiliary wiring 106 are electrically connected to juxtaposition, and it is considering as two-layer structure. Of course, the interlayer insulation film of further others, for example, auxiliary wiring electrically connected to wiring 111 through 112 at juxtaposition, may be

prepared.

[0058] The auxiliary wiring 106 shown by drawing 1 can be formed in the gate electrode 105 and coincidence. That is, it is ***** to carry out patterning also of the auxiliary wiring to coincidence, and to obtain it, in case patterning of the thin film of the conductive ingredient used as the gate electrode 105 is carried out. Therefore, in the configuration of drawing 1 , the gate electrode 105 and the auxiliary wiring 106 consist of same ingredients.

[0059] Drawing 1 (b) is the A-A' sectional view of drawing 1 (a). As drawing 1 (b) is shown, wiring 112 and the auxiliary wiring 106 touch electrically in two or more places, and are electrically connected to juxtaposition.

[0060] The electric resistance which the electrical installation of wiring 112 and the auxiliary wiring 106 becomes good, so that there are many the numbers, and contact resistance reduces the contact hole which constitutes connection between wiring 112 and the auxiliary wiring 106, as a result is made with wiring 112 and the auxiliary wiring 106 can be reduced further.

[0061] Since the electric resistance in the whole can reduce it more, the contact nature in the contact of wiring 112 and the auxiliary wiring 106 is so desirable that it is high. When the auxiliary wiring 106 is constituted from aluminum UNIMU, in order to obtain good contact, it is effective to carry out wiring 112 to the configuration which carries out the laminating of the aluminum film to the titanium film on it.

[0062] In drawing 1 (b), 113 is wiring which crosses the wiring 111 bottom, as shown in drawing 1 (c). In the case of the liquid crystal display of for example, circumference circuit one apparatus, such structure is used in gate wiring of the thin film transistor which constitutes a circumference circuit connected to the clock signal line and this clock signal line of a circumference circuit.

[0063] Even if it can fully reduce electric resistance in them if wiring which crosses between Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. as the structure where the auxiliary wiring 106 of the part which crosses like drawing 1 (c), and its near was divided when said wiring and the crossing wiring 113 had been arranged is arranged in the auxiliary wiring 106 which reduces the electric resistance of wiring 111, and this layer, and it forms auxiliary wiring, it is not different from the former in a process.

[0064] By the above this invention configurations, the electric resistance of wiring can be reduced sharply. since [and] the area and line breadth which wiring takes are made similarly to the former -- ***** -- the capacity during wiring is hardly different from the former. Moreover, the capacity of wiring and a counterelectrode does not increase in the liquid crystal display of circumference circuit one apparatus.

[0065] as a result, a RF signal several MHz or more, for example, 1MHz, is impressed -- in wiring of 3cm or more (an upper limit follows the magnitude of a panel), a wave-like provincial accent can be more preferably reduced effectively by 1cm or more.

[0066] Consequently, in the circuit which consisted of thin film transistors, evasion of malfunction of a circuit, reduction of the margin of timing of operation, and transmission of an exact signal are realizable.

[0067] Moreover, production of an auxiliary electrode is realizable only by changing a mask pattern in the process which was producing the scanning line (gate line) and the data line (source line) conventionally. Consequently, a making process can realize low resistance-ization of wiring, without making it completely increase.

[0068] Moreover, the semiconductor device which has the wiring structure of this invention is employable even if a thin film transistor is which configuration of a top gate mold and a bottom gate mold.

[0069] Moreover, when wiring structure of this invention is carried out in all wiring in a circumference circuit, the part where wiring is finely complex in all directions may induce short-circuit on the contrary.

[0070] However, even if the wiring structure of this invention is the case where it applies to some wiring with which a RF is impressed, the reduction effectiveness of electric resistance is acquired. Therefore, only the need part instead of all the wiring concerned prepares auxiliary wiring, and should realize parallel connection.

[0071] under the present circumstances, two or more wiring with which high frequency signals (for example, a clock signal, its reversal signal, the divided clock signal, a BITEO signal, etc.) of the same kind are impressed -- setting -- the resistance of each wiring -- an outline -- it is important to make it become the same. Thereby, the provincial accent condition of a signal wave form can be arranged in each wiring.

[0072] Moreover, only wiring prepared, for example in circumference wiring 907 part in drawing 5 prepares auxiliary wiring covering the overall length of wiring, and the wiring 908 and 909 of a circumference circuit is good also as a configuration which does not prepare auxiliary wiring. The circumference wiring 907 does not have wiring which crosses until it is inputted into a circumference circuit, and since it can constitute without dividing auxiliary wiring, as compared with the case where auxiliary wiring is formed, electric resistance can be effectively reduced to other wiring.

[0073] Moreover, although the same layer as other wiring of the scanning line, the data line, etc. and not the same process but a routing counter increases formation of auxiliary wiring, it cannot be overemphasized that the layer for forming only auxiliary wiring if needed may be prepared, and reduction of the further electric resistance may be aimed at.

[0074] In this invention, if wiring and auxiliary wiring are mutually prepared through the interlayer insulation film, they are arbitrary. [of in which layer it prepares]

[0075] wiring and the outline which the line breadth of auxiliary wiring is connected to this auxiliary wiring -- when it is less than [same extent or it], since the increment in capacity with the counterelectrode by existence of auxiliary wiring can be prevented especially in a liquid crystal display, it is desirable.

[0076]

[Example]

[Example 1] This example shows the example which forms in coincidence wiring of the structure which reduced electric resistance in the process which forms the thin film transistor in which a high frequency drive is possible on the substrate which has an insulating front face. Here, the example which produces the circuit side substrate of the liquid crystal display of a active-matrix mold is shown.

[0077] The making process of this example is shown in drawing 2 - drawing 4 . Drawing 2 - drawing 4 show the cross section of a making process, and show the field (wiring section) in which wiring of structure with which left-hand side reduced electric resistance is formed, the field (circumference circuit section) in which the thin film transistor of the complementary configuration from which a center constitutes a circumference circuit is formed, and the field (pixel section) in which the thin film transistor from which right-hand side constitutes a active-matrix circuit is formed in each drawing.

[0078] The liquid crystal display formed using the panel produced by this example has the VGA (640 (x3 color)x480 pixels) configuration whose pixel section which becomes in a active-matrix circuit is 10cm wide.

[0079] In this example, wiring of the structure which reduced electric resistance constitutes the clock signal line in a circumference circuit (line which transmits the inputted clock signal to the whole circumference circuit) (equivalent to the wiring 908 of drawing 5). Of course, you may apply to wiring with which other high frequency is impressed, for example, a video signal line etc.

[0080] Moreover, although this structure may be applied to wiring of all circumference circuits, when many wiring to which auxiliary wiring is connected to the layer in which auxiliary wiring is prepared in this case, and crossing wiring are prepared, the fragmentation part of auxiliary wiring also increases.

Consequently, since the reduction effectiveness of the electric resistance of wiring may not no longer be acquired fully, or extent of the provincial accent of the signal for every wiring may not gather and un-arranging may arise, cautions are required.

[0081] First, the oxidation silicon film is formed in thickness of 3000A as substrate film 202 on the quartz substrate 201. In addition, the smooth nature of the front face of a quartz substrate is good, and if washing is made enough, especially this substrate film 202 is unnecessary.

[0082] In addition, although it becomes desirable selection in the present condition to use a quartz substrate as a substrate, if it is the substrate which bears heat-treatment temperature, it will not be limited to a quartz.

[0083] Next, membranes are formed in thickness of 500A as it is also with a reduced pressure heat CVD method about the amorphous silicon film 203 used as the start film of the crystalline silicon film.

[0084] Next, the mask shown by 204 is formed by forming the oxidation silicon film which is not illustrated in thickness of 1500A, and carrying out patterning of it. Opening is formed in the field to which this mask is shown by 205. In the field in which this opening 205 is formed, it is exposed of the amorphous silicon film 203.

[0085] Opening 205 has the long and slender rectangle which has a longitudinal direction in the depth and the direction of this side of a drawing. It is appropriate for the width of face of this opening 203 to be referred to as 20 micrometers or more. Moreover, what is necessary is just to form the die length of the longitudinal direction as it is also at the die length to need.

[0086] And in order to introduce nickel as a metallic element which promotes crystallinity, the nickel acetate solution which contained the 10 ppm nickel element by weight conversion is applied. And spin-dry is performed using the spinner which is not illustrated and an excessive solution is removed. The amount of installation of a nickel element is controllable by the content concentration of the nickel element in the above-mentioned solution.

[0087] As a metallic element which promotes crystallinity, a kind or two or more kinds of things which were chosen from nickel, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au can be used.

[0088] In this way, the condition of having existed in the condition that a nickel element is shown by the dotted line 206 of drawing 2 (A) is acquired. In this condition, the condition that the nickel element touched some amorphous silicon film alternatively, and was held in the pars basilaris ossis occipitalis of opening 205 is acquired.

[0089] In addition, installation of a nickel element may be performed using ion-implantation. In this case, as compared with the case where the solution of a nickel element is applied, the introductory location of a nickel element can be controlled with a more sufficient precision. Therefore, it is effective especially when the case not more than several micrometers or it of being very narrow, and the configuration of an introductory field have the complicated width of face of the introductory field of a nickel element.

[0090] Next, 600 degrees C and heat-treatment of 8 hours are performed into the nitrogen-gas-atmosphere mind which contained hydrogen 3% and which does not contain oxygen as much as possible (again inside of nitrogen-gas-atmosphere mind). Then, the crystal growth to a direction parallel to the substrate 201 as shown by 207 of drawing 2 (B) advances.

[0091] This crystal growth advances toward a perimeter from the field of opening 205 where the nickel element was introduced. The crystal growth to a direction parallel to this substrate is called horizontal growth or lateral growth.

[0092] As compared with conventional low-temperature polish recon and elevated-temperature polish recon, as for the front face of the crystalline silicon film which is obtained with this crystal growth and which carried out horizontal growth, what has very good smooth nature is obtained. This is considered to originate in the direction where the grain boundary extends being together with all of an outline.

[0093] Common polycrystal silicon and the silicon film called polish recon have **100A or more of irregularity of the front face. However, when horizontal growth as shown by this example is carried out, it is observed that the irregularity of the front face is **30A or less. This irregularity worsens the interface property between gate dielectric film, and it is desirable that it is small as much as possible.

[0094] the above-mentioned crystallization sake -- heat-treatment conditions -- setting -- this horizontal growth -- 100 micrometers or more -- crossing -- ***** -- things are made. In this way, the silicon film 208 which has the field which carried out horizontal growth is obtained.

[0095] Heat-treatment for this crystal growth can be performed at 450 degrees C - 1100 degrees C (an upper limit is regulated with the thermal resistance of a substrate). If a certain amount of horizontal

growth distance is secured, it is desirable to make temperature of heat-treatment into 500 degrees C or more. However, the crystal growth distance or the crystalline improvement by raising temperature more than it are not so large. (Therefore, when simplification of economical efficiency or a process is taken into consideration, heat-treatment of 590 degrees C – about 630 degrees C, for example, 600 degrees C, is enough)

[0096] And the mask 204 which becomes by the oxidation silicon film for introducing a nickel element alternatively is removed.

[0097] In this condition, the nickel element is unevenly distributed in the film. In a part for the point of the crystal growth indicated to be the field in which opening 205 was formed especially by 207, the nickel element exists in high concentration comparatively.

[0098] Therefore, in formation of a barrier layer, it becomes important to avoid those fields. That is, it is important to make it the field in which the above-mentioned nickel element was unevenly distributed in the barrier layer not exist.

[0099] Laser light may be further irradiated after crystallization. That is, crystallization may be made to promote further by the exposure of laser light. The exposure of this laser light distributes the lump of the nickel element which exists in the film, and has the effectiveness which make a nickel element easy to remove behind. In addition, even if it irradiates laser light in this phase, horizontal growth does not advance further.

[0100] As a laser light, the excimer laser which has the wavelength of an ultraviolet region can be used. For example, a KrF excimer laser (wavelength of 248nm) and a XeCl excimer laser (wavelength of 308nm) can be used.

[0101] Next, 950-degree C heat-treatment is performed into the oxygen ambient atmosphere containing a halogen, for example, the oxygen ambient atmosphere 3 volume % containing HCl, and the thermal oxidation film 209 is formed in thickness of 200A. According to formation of this thermal oxidation film, as for the thickness of the silicon film 208, that thickness decreases by about 100A. That is, the thickness of the silicon film becomes about 400A. (Drawing 2 (C))

[0102] Generally, the thermal oxidation film formed in the front face of the silicon film becomes what has almost the same thickness which rises on a front face and distance of the oxidation which advances inside. If it follows, for example, the 100A thermal oxidation film is formed in the front face of the 100A silicon film, 50A of thickness of the silicon film will lose in weight, and it will serve as a configuration of the silicon film of 50A thickness, and the thermal oxidation film of 100A thickness formed in the front face.

[0103] In the above-mentioned process, the silicon element which has an unstable integrated state in the film is used for formation of the thermal oxidation film according to formation of the thermal oxidation film. And the defect in the film can decrease and higher crystallinity can be acquired.

[0104] Moreover, gettering of a nickel element is performed to coincidence by operation of chlorine from the inside of the film formation and the halogen of the thermal oxidation film, and here.

[0105] Naturally, in the thermal oxidation film, a nickel element will be comparatively incorporated by high concentration. And the nickel elements in the silicon film 208 decrease in number relatively. In this way, the condition which shows in drawing 2 R>2 (C) is acquired.

[0106] If the thermal oxidation film 209 is formed, this thermal oxidation film 209 will be removed. In this way, the crystalline silicon film 208 which decreased the content concentration of a nickel element is obtained.

[0107] In this way, the obtained crystalline silicon film has the structure (this direction is in agreement in the crystal growth direction) to which the crystal structure extended in the one direction. That is, it has structure to which the crystalline of the shape of a long and slender cylinder is located in a line with two or more parallel through the grain boundary which extended in two or more one directions.

[0108] Next, by performing patterning, the fields 210, 211, and 212 of the shape of an island which becomes in a horizontal growth field are formed. The fields 210, 211, and 212 of the shape of this island

serve as a barrier layer of TFT behind.

[0109] Here, the reference by location of a pattern is performed so that the direction and the crystal growth direction which connect a source field and a drain field may outline be in agreement and in agreement. By carrying out like this, the direction to which a carrier moves, and the direction where a crystal lattice extends continuously can be doubled, and TFT of a property high as a result can be obtained.

[0110] Next, the oxidation silicon film 213 is formed by the plasma-CVD method in thickness of 1000A. (Drawing 2 (D))

[0111] Then, the thermal oxidation film 301, 302, and 303 is formed in thickness of 300A. This thermal oxidation film obtains HCl by performing 950-degree C heat-treatment into 0.1 to 10 volume %, for example, the oxygen ambient atmosphere of which 3 volume % content was done.

[0112] The thickness of patterns (pattern used as a barrier layer) 210, 211, and 212 becomes 250A by forming the thermal oxidation film 301, 302, and 303.

[0113] The same effectiveness as the case where the thermal oxidation film 209 is formed also in this process can be acquired. In addition, this thermal oxidation film 209 turns into some gate dielectric film of TFT.

[0114] In this example, the thickness (250A) of the barrier layers 210, 211, and 212 which become by the crystalline silicon film finally obtained becomes thinner than the thickness (300A) of the 2nd thermal oxidation film 301, 302, and 303. By carrying out like this, the effectiveness for acquiring the unique crystal structure according to formation of the thermal oxidation film can be acquired. (Drawing 3 (A))

[0115] In TFT shown by this example, the crystalline silicon film which constitutes a barrier layer makes more preferably 100A – 750A of the final thickness 150A – 450A. By considering as such thickness, the crystal structure [****] by which crystallinity followed the one direction can be acquired with sufficient repeatability in a more remarkable form.

[0116] Thus, the concentration of the nickel element which finally remains to the barrier layers 210, 211, and 212 which become by the produced crystalline silicon film is a 1×10^{14} atom individual / cm³ – a 5×10^{17} atom individual / cm³ in the present condition by measurement using SIMS (secondary ion analytical method). Although it becomes, it is so desirable that it is low.

[0117] Of course, it is possible by performing reexamination of an overall production process, thoroughness of a washing process, and thoroughness of whenever [washing / of equipment] to reduce further the nickel element concentration which remains in the crystalline silicon film.

[0118] Moreover, in the making process of the thermal oxidation film, inclination or distribution occurs from the relation which the metallic element concerned moves into the thermal oxidation film in concentration distribution of the nickel element in the thickness direction of the obtained crystalline silicon film.

[0119] Generally, the concentration of the metallic element concerned or the inclination which becomes high is observed toward the interface in which the thermal oxidation film is formed. Moreover, the inclination for the concentration of the metallic element concerned to become high toward the interface by the side of a rear face depending on conditions is also observed toward a substrate or the substrate film (this difference is greatly influenced by the membranous quality of the amorphous silicon film used as the start film).

[0120] Moreover, when a halogen is made to contain in an ambient atmosphere at the time of formation of the thermal oxidation film, the concentration distribution as the above-mentioned metallic element also with this same halogen is shown. That is, the concentration distribution to which content concentration becomes high toward the front face and/or rear face of the crystalline silicon film is shown (the difference in concentration distribution is too influenced by the membranous quality of the start film).

[0121] Next, the aluminum film for forming a gate electrode and auxiliary wiring is formed in thickness of 4000A by the spatter. In this aluminum film, it is a scandium 0.2 Weight % content of is done.

[0122] It is for controlling that a hillock and a whisker occur in a next process to make a scandium contain in the aluminum film. a hillock and a whisker originate in abnormality growth of the aluminum in the case of heating -- it is the thing of the height of the shape of needlelike or a prickle.

[0123] As an ingredient for forming a gate electrode, it is good also as the laminating and the mixed structure of the silicide (WSi) of a tantalum (Ta), the polycrystalline silicon with which Lynn (P) was doped so much, and a tungsten, or the silicide of the polycrystalline silicon and the tungsten by which the phosphorus dope was carried out in addition to aluminum UNIMU.

[0124] Next, a silicon nitride film is formed in thickness of 500A. Then, patterning is performed using the resist masks 308, 309, 310, and 311, and the condition that the silicon nitride film indicated to be the aluminum pattern shown by 304, 305, 306, and 307 by 351, 352, 353, and 354 was formed is acquired. (Drawing 3 (B))

[0125] Here, it anodizes in the condition of having arranged the resist masks 308, 309, 310, and 311. Here, 3% of oxalic acid water solution is used as an electrolyte. The porous oxide film on anode shown by 316, 317, 318, and 319 is formed by performing anodic oxidation which made the anode plate the patterns 304, 305, 306, and 307 of aluminum into this electrolyte.

[0126] In this process, it is the relation in which the resist masks 308, 309, 310, and 311 and silicon nitride films 351, 352, 353, and 354 exist in the upper part, and oxide films on anode 316, 317, 318, and 319 are alternatively formed in the side face of an aluminum pattern.

[0127] This oxide film on anode can grow up that thickness to several micrometers. Here, the thickness is made into 6000A. In addition, the growth distance is controllable by anodic oxidation time amount.

[0128] Next, a precise oxide film on anode is formed. That is, anodic oxidation which used the ethylene glucohol solution containing 3% of tartaric acid as the electrolyte is performed.

[0129] In this process, the oxide film on anode which has precise membranous quality as shown in 320, 321, 322, and 323 is alternatively formed only in the side face of an aluminum pattern from the relation to which silicon nitride films 351, 352, 353, and 354 exist in that an electrolyte advances into the porous oxide films on anode 316, 317, and 318 and 319, and the top face of each aluminum pattern.

[0130] The thickness of these precise oxide films on anode 320, 321, 322, and 323 may be 1000A. Applied voltage performs control of this thickness.

[0131] If formation of an anodized film is completed, the resist masks 308, 309, 310, and 311 will be removed.

[0132] Here, the exposed oxidation silicon film 213 is etched. Moreover, some thermal oxidation film 301, 302, and 303 is etched into coincidence. This etching uses dry etching. In this way, the condition which shows in drawing 3 (C) is acquired.

[0133] And the porous oxide films on anode 316, 317, 318, and 319 are removed using the mixed acid which mixed the acetic acid, the nitric acid, and the phosphoric acid. Furthermore, silicon nitride films 351, 352, 353, and 354 are removed. In this way, the condition which shows in drawing 3 (D) is acquired.

[0134] As shown in drawing 3 (D), in this example, an auxiliary electrode 312 is formed in coincidence of the same process as the gate electrodes 313, 314, and 315. Therefore, production of an auxiliary electrode 312 is obtained only by modification of a mask pattern in the conventional process.

[0135] In this example, the precise oxide film on anode 320 is formed in the side face of an auxiliary electrode 312. Moreover, the oxidation silicon film 213 remains in the inferior surface of tongue.

[0136] Impurity ion will be poured in if the condition which shows in drawing 3 (D) is acquired. Here, a resist mask is arranged by turns and P (Lynn) ion is performed to the left-hand side of the circumference circuit section, and the thin film transistor of the pixel section at the thin film transistor on the right-hand side of the circumference circuit section as it is also with the plasma doping method about B (boron) ion.

[0137] In this process, the field of 331, 333, 335, 337, 339, and 341 where a heavy dope is carried out, and the field of 334, 338, and 342 where a light dope is carried out are formed. the oxidation silicon film 325, 326, and 327 with which this remained -- half--- it is because it functions as a mask [****] and

some poured-in ion is covered there.

[0138] And the field where impurity ion was poured in is activated by irradiating laser light (or strong light which used the lamp). In this way, the source fields 331, 335, and 339, the channel formation fields 332, 336, and 340, the drain fields 333, 337, and 341, and the low concentration impurity ranges 334, 338, and 342 are formed in self align.

[0139] Here, the field called a LDD (light doped lane) field is shown by 334, 338, and 342. (Drawing 3 (D))

[0140] In addition, when thickness of the precise oxide film on anode 309 is made thick like 2000A or more, an offset gate field can be formed in the outside of the channel formation fields 332, 336, and 340 as the thickness is also.

[0141] Although the offset gate field is formed also in this example, since contribution by the existence is small since the dimension is small, and a drawing becomes complicated, it has not indicated all over drawing.

[0142] In addition, although the oxide film on anode which has precise membranous quality is thickly formed like 2000A or more, since the applied voltage beyond 200V is needed, cautions are required for it about repeatability or safety.

[0143] Next, as the 1st interlayer insulation film, a silicon nitride film 343 is first formed by 2000A and the plasma-CVD method. In addition to a silicon nitride film, the cascade screen of the oxidation silicon film or a silicon nitride film, and the oxidation silicon film can also be used.

[0144] Furthermore, the organic resin film 344 is formed with a spin coat method on a silicon nitride film 343. Polyimide, a polyamide, polyimidoamide, and an acrylic can be used as an ingredient of organic resin. (Drawing 3 (E))

[0145] Next, a contact hole is formed to the 1st interlayer insulation film 343 and 344. Next, patterning of the cascade screen of titanium / aluminum / titanium is carried out after 3000A membrane formation, and the source electrodes 402 and 407, the drain electrodes 406 and 409, the source drain electrode 404, the gate ejection wiring 403 and 405, and wiring 401 are formed.

[0146] Wiring 401 is electrically connected with an auxiliary electrode 312 by the contact hole which met in the direction of a line of wiring 401, and were prepared at juxtaposition. Considerable extent reduction of the electric resistance is carried out by carrying out parallel connection of the wiring 401 to an auxiliary electrode 312. Therefore, the provincial accent of the signal wave form transmitted even if it impresses a RF can be reduced sharply.

[0147] Moreover, to the crossing gate line, when the gate line (it extends in the gate electrode of TFT) in which the wiring 401 bottom was prepared by the same layer as an auxiliary electrode 312 crosses, the auxiliary electrode 312 is divided so that 40 micrometers may be isolated (equivalent to the configuration shown in drawing 1 (b)).

[0148] The drain electrode 409 is used as an electrode for the part to form auxiliary capacity.

[0149] In this way, the thin film transistor shown in drawing 4 (A) and wiring with which electric resistance was reduced are completed.

[0150] In addition, in drawing, although it is indicated that the source / drain electrode, and the gate ejection wiring 403 and 405 are formed on the same cross section, gate wiring is formed in the part which extended from the gate electrodes 313 and 314 in fact.

[0151] Next, a silicon nitride film 410 is formed by the plasma-CVD method in thickness of 1000A as the 2nd interlayer insulation film. Furthermore, the organic resin film 402 is formed with a spin coat method. In addition, as an organic resin ingredient, a polyamide, polyimidoamide, and an acrylic can be used in addition to polyimide. In this way, the condition which shows in drawing 4 (B) is acquired.

[0152] Next, opening is formed in the organic resin film 402, and the black matrix (BM) 412 which becomes that the cascade screen of the titanium film and the aluminum UNIMU film is also further is formed. This black matrix 412 functions as an electrode for forming auxiliary capacity with a silicon nitride film 410 and the drain electrode 409 in addition to the function as an original light-shielding film.

[0153] If the black matrix 412 is formed, the organic resin film 414 will be formed as the 3rd interlayer insulation film. And the contact hole to the drain electrode 409 is formed, and the pixel electrode 415 which becomes by ITO (indium oxide tin) is formed.

[0154] Thus, the substrate by the side of the circuit of an active matrix liquid crystal display is produced. Then, opposite arrangement is carried out with the opposite substrate which orientation processing was made on the top face of the substrate concerned, and orientation processing was similarly made, and formed **** and ITO in the whole surface, and a panel is constituted. Equipment is completed by pouring in and closing a liquid crystal ingredient in a panel.

[0155] TFT shown in this example can obtain to the former the very high thing which was not obtained as the property.

[0156] For example, a highly efficient thing called [mobility] 75–90 (mV/dec) (VD =1V) in 200–300 (cm²/Vs), and S value is obtained by NTFT (TFT of an N channel mold). 120–180 (cm²/Vs), and S value can obtain a highly efficient thing called 75–100 (mV/dec) (VD =1V) by PTFT (TFT of a P channel mold).

[0157] It is a value good for a wonder target called 1/2 or less in S value [especially / the value of the conventional elevated-temperature poly-Si TFT and low-temperature poly-Si TFT].

[0158] And this TFT can operate drive frequency also on very high frequencies, such as several 10MHz – 100MHz of numbers. for example, the electrical potential difference of a driving signal -- 3.3–5V -- setting -- ring oscillator level -- 1GHz and shift register level -- 100MHz actuation -- ***** -- things are made.

[0159] Moreover, the thin film transistor using the crystalline silicon film which has a unique crystal structure which was mentioned above has the description that it originates in the crystal structure and a short channel effect cannot show up easily. Moreover, since an insulator is used as a substrate, there is no problem of the capacity of a substrate, and there is the description of being suitable for high-speed operation.

[0160] There was a thing called a scaling law in the MOS transistor using the conventional single crystal silicon wafer. In this, if a dimension is made small predetermined at a transistor according to a principle, according to this and a predetermined principle, the engine performance of a transistor will become high.

[0161] however, recent years -- detailed ---izing -- in the condition of having gone on greatly, it is becoming difficult to raise the engine performance of a transistor according to this scaling law.

[0162] In order to control a short channel effect to one of them, the more it shortens channel length, the fine device which dopes an impurity is needed beside a channel, and, the more the point that the difficulty on a making process increases can be mentioned.

[0163] However, when the crystalline silicon film with the unique crystal structure mentioned above is used, the property to need can be acquired with the dimension according to the above-mentioned scaling law.

[0164] This is considered that the following matters are factors.

(1) A short channel effect is controlled by doubling the extension direction of a column-like crystalline in the direction to which a carrier moves in a channel.

(2) By using an insulator for a substrate, the problem of capacity is controlled greatly.

(3) Since aluminum can be used for a gate electrode, it is advantageous to high-speed operation.

[0165] (1) can be considered like below. Namely, in this grain-boundary part, although the column-like crystal structure object is divided into each by the inactive grain boundary, since level is high to energy, it is parasitic on that migration on a carrier in the extension direction of a crystalline. Moreover, the breadth of the depletion layer inside [from the source and a drain field] a channel is also controlled by the same view. This is considered to be control of a short channel effect.

[0166] The following examples can be given as a concrete example according to the scaling law mentioned above.

[0167] For example, when following the former at the scaling law and crystalline silicon film which is indicated on these specifications is used the place whose thickness of gate dielectric film must be 100A,

the same property can be acquired, being able to use thickness of gate dielectric film as 300A. Consequently, the static electricity-proof property can be made high.

[0168] This is understood to be a factor as shown in (1) – (3) mentioned above.

[0169] Moreover, also not only about the thickness of gate dielectric film but about channel length, a predetermined property can be acquired as it is also at conditions (conditions under one rank) looser than the conventional scaling law.

[0170] This is a useful thing when producing the semiconductor circuit in which high-speed operation is possible by low cost over a large area.

[0171] In this example, by having connected with the auxiliary wiring 312 electrically at juxtaposition, and having constituted the long wiring 401 with which a high frequency is impressed through the interlayer insulation film, the electric resistance of wiring 401 decreased by leaps and bounds, and has reduced the provincial accent of the signal wave form transmitted sharply.

[0172] Consequently, by being prepared all over the circumference circuit for a signal-line drive, although the clock signal line was very long, even if it operated the clock frequency by 12.5MHz with about 10cm, it did not malfunction at all and was able to perform the good display.

[0173] [Example 2] This example shows the example which carried out the configuration of the wiring 401 shown in an example 1, and the auxiliary wiring 312 in circumference wiring (equivalent to 907 of drawing 5) connected to the circumference circuit for a signal-line drive.

[0174] That is, in circumference wiring conventionally prepared only on the 1st interlayer insulation film; in the same layer as the gate electrode of TFT, circumference wiring is met and auxiliary wiring is formed in the circumference wiring bottom.

[0175] Parallel connection of circumference wiring and the auxiliary wiring is carried out by the contact hole prepared in the direction of a line of circumference wiring. [two or more]

[0176] Since circumference wiring does not have wiring which intersects the upper layer or lower layer, it can carry out parallel connection, without dividing auxiliary wiring over the whole wiring. Therefore, the effectiveness of reducing electric resistance is very large. Auxiliary wiring is prepared only in circumference wiring and a circumference circuit can reduce sharply the provincial accent of the signal wave form in wiring with which a RF is impressed also as a 1 layer-structure chisel in the conventional state (that is, auxiliary wiring is not prepared) as compared with the former.

[0177] [Example 3] In the configuration of an example 1, in the both sides of the signal line (source line) of the active-matrix circuit which is a display, and the scanning line (gate line), this example forms auxiliary wiring and shows the example which reduced the electric resistance of wiring.

[0178] As for a gate line, the gate electrode 315 of TFT of the pixel section extends, and a source line extends in the source electrode 402 of TFT of the pixel section.

[0179] In this example, parallel connection is carried out to the gate line under a silicon nitride film 343 by the contact hole which auxiliary wiring of a gate line was formed in the same layer as a source line and the source electrode 402, met in the direction of a gate line, and were prepared on the organic resin film 344. Auxiliary wiring of a gate line is divided with the source line formed in the same layer, and is prepared.

[0180] On the other hand, in the source line on the organic resin film 344, auxiliary wiring of a source line is formed of the same layer as the gate line under a silicon nitride film 343, and the gate electrode 315, and parallel connection is carried out by the contact hole prepared in the direction of a source line. [two or more] Auxiliary wiring of a source line is divided with the gate line of the same layer, and is prepared.

[0181] As for a fragmentation part, also in auxiliary wiring [which / of a source line and a gate line], it is desirable that it is separated from several 10 micrometers or more.

[0182] A good display can be performed, even if it can reduce sharply the electric resistance of wiring which constitutes the active-matrix section and a screen product is expanded by considering as such a configuration. And a making process is not different from the former and can be realized only by

modification of a mask pattern.

[0183] [Example 4] This example constitutes the configuration shown in the examples 1-3 from a thin film transistor of a reverse stagger mold. It can change into the thin film transistor of the planar mold shown in each example, and the effectiveness same also as a thin film transistor of a reverse stagger mold can be acquired.

[0184] In addition, it is effective to use for a gate electrode a heat-resistant high ingredient, for example, the polycrystalline silicon with which Lynn was doped so much, as a gate electrode of the thin film transistor of a reverse stagger mold in order to obtain a highly efficient thin film transistor.

[0185]

[Effect of the Invention] By this invention, the provincial accent of a signal wave form has been remarkably reduced in wiring with which a signal with a high frequency of several 10MHz or more is impressed in the liquid crystal display of the integrated circuit using a thin film transistor, especially circumference circuit one apparatus. Moreover, the structure of this invention was able to be acquired, without making a routing counter increase compared with the conventional making process.

[0186] The configuration of the semiconductor device of this invention can aim at improvement in image quality in improvement in a working speed, and the equipment which performs image display by being able to apply to all wiring in the integrated circuit constituted on the substrate which has the big area severalcm** using a thin film transistor, and preventing the provincial accent of a signal wave form, and degradation.

[0187] It not only constitutes the circumference circuit formed in the same substrate as the active-matrix circuit of the liquid crystal display of the active-matrix mold of a transparency mold and a reflective mold, but invention indicated on these specifications can be used in the various circuits using the indicating equipment which used EL (electroluminescence) component for others, and other thin film transistors.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the example of a configuration of the semiconductor device using this invention.

[Drawing 2] Drawing showing the making process of an example.

[Drawing 3] Drawing showing the making process of an example.

[Drawing 4] Drawing showing the making process of an example.

[Drawing 5] The plan of the active matrix liquid crystal display of circumference circuit one apparatus.

[Description of Notations]

101 Substrate

- 102 Substrate Film
- 103 Barrier Layer
- 104 Gate Dielectric Film
- 105 Gate Electrode
- 106 Auxiliary Electrode
- 107 Interlayer Insulation Film
- 108 Contact Hole
- 109 Source Electrode
- 110 Drain Electrode
- 111 Wiring
- 112 Interlayer Insulation Film
- 113 Crossover Wiring

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-198292

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.⁶
G 0 9 F 9/30 3 3 0
G 0 2 F 1/133 5 5 0
1/1345
1/136 5 0 0
H 0 1 L 29/786

識別記号
F 1
G 0 9 F 9/30 3 3 0 Z
G 0 2 F 1/133 5 5 0
1/1345
1/136 5 0 0
H 0 1 L 29/786 6 1 2 C

審査請求 未請求 請求項の数4 FD (全13頁)

(21)出願番号 特願平8-358956

(22)出願日 平成8年(1996)12月30日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 大谷 久
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 尾形 靖
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

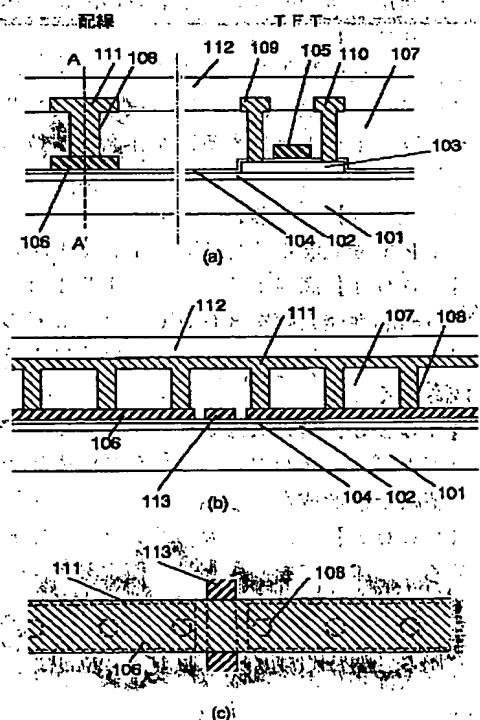
最終頁に続く

(54)【発明の名称】半導体装置およびその作製方法

(57)【要約】

【課題】絶縁表面を有する基板上に、結晶性硅素膜を利用した活性層を有する薄膜トランジスタで構成される回路を有する半導体装置において、高い周波数が印加され、数cm～数1.0cmの長さを有する配線の抵抗を低減し、伝送される信号波形のなまりを低減する。

【解決手段】高周波が印加される配線1-1-1は、層間絶縁膜1-0-7を介して、配線1-1-1の線方向にそって複数設けられたコンタクトホールにより補助配線1-0-6と電気的に並列接続している。補助配線1-0-6の形成を、薄膜トランジスタを構成する電極1-0-5の形成と同一工程で行うことで、工程数の増加なく、効果的に配線の電気抵抗を低減でき、高周波信号印加時の波形のなまりを低減できる。



(2)

2

【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に、結晶性珪素膜でなる活性層を有する薄膜トランジスタを利用した回路が設けられた半導体装置において、

前記回路中に設けられた配線及び／または前記回路に接続された配線のうち、少なくとも1つの配線の少なくとも1部は、層間絶縁膜を介して設けられた補助配線と電気的に並列接続して構成されていることを特徴とする半導体装置。

【請求項2】請求項1において、配線には高周波が印加されることを特徴とする半導体装置。

【請求項3】請求項1において、回路は周辺回路一体型のアクティブマトリクス型液晶表示装置の周辺回路を構成するものであることを特徴とする半導体装置。

【請求項4】絶縁表面を有する基板上に結晶性珪素膜でなる活性層と層間絶縁膜によつて互いに絶縁された複数の電極を有する薄膜トランジスタを作製するに際し、前記複数の電極のうちの1つの電極を形成する工程において配線を形成し、

前記複数の電極のうちの他の1つまたは複数の電極を形成する工程において、前記配線に電気的に並列に接続される補助配線を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁表面を有する基板上に薄膜トランジスタ（以下TFTという）を用いて形成された集積回路の配線構造に関する。本発明は、絶縁基板を有する基板上にTFTを用いて形成された、周辺回路一体型の液晶表示装置の配線構造に関する。

【0002】

【従来の技術】ガラス基板や石英基板上に結晶性を有する珪素膜を成膜し、その珪素膜でもつて薄膜トランジスタ（以下TFTと称する）を作製する技術が知られている。

【0003】この薄膜トランジスタは、高温ポリシリコンTFTや低温ポリシリコンTFTと称されている。

【0004】高温ポリシリコンTFTは、活性層を構成する結晶性珪素膜を800°C～900°Cの加熱によって得るため、耐熱性の高い基板、例えば石英基板の上に形成される。

【0005】他方低温ポリシリコンTFTは、600°C以下のプロセスを用い、ガラス等の比較的耐熱性の低い基板上に形成される。

【0006】また、高温ポリシリコンTFTは、特性のそろったTFTを基板上に集積化しやすい。また従来のICプロセスにおける各種プロセス条件や作製装置を流用できる。他方低温ポリシリコンTFTは、基板として安価で大面積化が容易なガラス基板を利用できるという特徴がある。

【0007】なお、現状の技術においては、高温ポリシリコンTFTも、低温ポリシリコンTFTもその特性に大きな違いはない。

【0008】すなわち、移動度で言えば、50～100 (cm²/Vs) 程度、S値が200～400 (mV/dec) (V_D = 1 V) 程度のものが、両者において得られている。

【0009】そして、このようなTFTを利用して、集積回路や、アクティブマトリクス回路と該回路を駆動する周辺回路とを同一基板上に形成する、いわゆる周辺回路一体型の液晶表示装置を構成する技術が研究されている。

【0010】しかし、従来の高温ポリシリコンTFTや低温ポリシリコンTFTは、単結晶シリコンウェハーを利用したMOS型トランジスタの特性に比較して大きく見劣りするものである。一般的に、単結晶シリコンウェハーを利用したMOS型トランジスタのS値は60～70 (mV/dec) である。

【0011】そして、低温ポリシリコンTFTについても、高温ポリシリコンTFTについても、移動度が低いため、TFT単体の駆動周波数は数MHz程度以下となってしまうのが現状である。

【0012】例えば、液晶表示装置の周辺回路を構成しても、表示において必要とされる数10MHz以上のクロック信号やビデオ信号を直接入力し、駆動することができない。

【0013】そのため、クロック信号やビデオ信号を伝達する配線を、複数の配線に分割し、信号の周波数を落としてTFTに供給している（分割駆動という）。例えば10MHzのクロック信号を4本の配線に分割し、各配線においては2.5MHzとし、この低い周波数で各TFTを駆動している。したがって、配線数やTFTの数が増えて設置面積が増加する等の問題が発生している。

【0014】これに対し、本発明者らの研究により、結晶性珪素膜を用いたTFTでありながら、単結晶シリコンウェハーを用いたMOS型トランジスタに匹敵する性能を有するTFTが開発されている。

【0015】このTFTは活性層として、所定の方向、例えばソース・ドレイン方向に連続性を有する結晶構造を有し、かつ前記所定の方向に延在した結晶粒界を有した結晶性珪素膜を用いている。

【0016】この結晶性珪素膜は、非晶質珪素膜に結晶性を助長する金属元素、例えばニッケルを微量導入し、500°C～630°C、例えば600°Cの温度で加熱して横成長させ、その後熱酸化膜を形成することによって得られる。

【0017】このTFTは、S値が100 (mV/dec) 以下で、移動度が200 (cm²/Vs) 以上というような極めて優れた特性を有する。そして単体で数十MHz～数100MHz以上の周波数で駆動することができる。この

(4)

5

が印加されるため、「なまり」の影響が大きく、深刻な問題であった。

【0041】ちなみに、単結晶シリコンウエハーを用いたチップでなる集積回路でも、数10～数100MHzの駆動周波数で動作するものが一般的になってきているが、これは1～2cm程度のチップ内にすべての集積回路が配置されているため、配線の長さも短く、「なまり」はこのような大面積の液晶表示装置に比べれば、さほど問題ではない。

【0042】配線間の容量を低減するためには、配線間の距離を大きくすることと、配線間の誘電率を低下させることが必要である。

【0043】しかし、配線間の距離を大きくするには、配線や該配線を用いた回路を配置するのに必要な面積が増大してしまい、結果として装置全体の大きさの増大を招く。また、配線の幅を細くすれば、配線間の距離は拡大しても電気抵抗が増大してしまい好ましくない。

【0044】また、配線と対向電極との間の距離は比較的小さい（層間絶縁膜が1～2μm、液晶層が3～8μm、合計で10μm程度）が、液晶材料で構成される層の膜厚、いわゆるセルギャップは光学的な問題から増加させることはできない。また、層間絶縁膜の厚さによって配線と対向電極との距離を調整することを試みても、容量を十分に低減できるほどの距離を増大させることは困難である。

【0045】したがって、配線間の容量を効果的に低減することは現状の技術では困難である。

【0046】また、電気抵抗については、配線の線幅を太くすることと、配線の厚みを厚くすることで低減できると考えられる。しかし配線の線幅を太くすると、隣接する配線との距離が近くなり、ショートの可能性が高くなる。また配線同士の容量も大きくなる。さらに対向電極との容量も増大してしまう。

【0047】他方、配線の厚みを厚くすると、作製工程中の加熱によりヒロックが発生しやすく、層間絶縁膜を介して交差する配線とのショートが生じやすくなるため、やはり好ましくない。

【0048】本願発明はこの問題を解決するものである。すなわち、比較的大型の絶縁表面を有する基板上に形成された薄膜トランジスタを利用した集積回路、特に周辺回路一体型の液晶表示装置における、数MHz～数10MHzまたはそれ以上の高周波数信号が印加される配線において、容量の増大をさせることなく、配線の電気抵抗を低減することを課題とする。

【0049】

【課題を解決するための手段】上記課題を解決するため、本明細書で開示する発明の一つは、絶縁表面を有する基板上に、結晶性珪素膜でなる活性層を有する薄膜トランジスタを利用した回路を有する半導体装置において、前記回路中に設けられた配線及び／または前記回路

6

に接続された配線のうち、少なくとも1つの配線の少なくとも1部は、層間絶縁膜を介して設けられた補助配線と電気的に並列接続して構成されていることを特徴とする。

【0050】上記構成は、配線には高周波が印加される場合に、特に効果的である。

【0051】また上記構成は、記回路が周辺回路一体型のアクティブマトリクス型液晶表示装置の周辺回路を構成するものである場合に、特に効果的である。

【0052】本明細書で開示する他の構成は、絶縁表面を有する基板上に結晶性珪素膜でなる活性層と、層間絶縁膜によって互いに絶縁された複数の電極を有する薄膜トランジスタを作製するに際し、前記複数の電極のうちの1つの電極を形成する工程において配線を形成し、前記複数の電極のうちの他の1つまたは複数の電極を形成する工程において、前記配線に電気的に並列に接続される補助配線を形成することを特徴とする。

【0053】上記構成において、複数の電極としては、例えばゲート電極と、ソース（又はドレイン）電極であるが、これに限定されるものではない。

【0054】

【発明の実施の形態】図1に、本発明を用いた半導体装置の構成例を示す。図1(a)は、配線およびTFT(薄膜トランジスタ)の縦断面図を示す。図1(a)において、基板101上に、酸化珪素膜でなる下地膜102が形成されている。その上にTFTが設けられている。

【0055】TFTは、結晶性珪素膜でなる活性層103、ゲート絶縁膜104、ゲート電極105、ソース電極109、ドレイン電極110で構成される。107、111～12は、層間絶縁膜であり、107にはコンタクトホール108が形成されている。

【0056】図1(a)において、配線111は、層間絶縁膜107を介して複数のコンタクトホールにより補助配線106と電気的に並列接続している。

【0057】すなわち、従来配線は配線111の1層のみで構成されているが、図1の構成においては、ゲート電極105と同一層に補助電極を設けている。そして、層間絶縁膜107に、配線111の線方向にそって複数設けられたコンタクトホール108により、配線111と補助配線106を電気的に並列に接続し、2層構造としている。もちろん、さらに他の層間絶縁膜、例えば112を介して配線111に電気的に並列に接続される補助配線を設けてもよい。

【0058】図1で示す補助配線106は、ゲート電極105と同時に形成することが可能である。すなわち、ゲート電極105となる導電性材料の薄膜をパターニングする際に、補助配線も同時にパターニングして得ることができる。したがって、図1の構成においては、ゲート電極105と補助配線106は同一材料で構成され

る。

【0059】図1 (b) は、図1 (a) のA-A' 断面図である。図1 (b) において示すように、配線112と補助配線106は複数箇所において電気的に接触しており、電気的に並列に接続されている。

【0060】配線112と補助配線106との接続を構成するコンタクトホールは、その数が多いほど配線112と補助配線106との電気的接続が良好となり、また接続抵抗が低減し、ひいては配線112と補助配線106とでなす電気抵抗を更に低減できる。

【0061】配線112と補助配線106との接点における接触性は高いほど、全体での電気抵抗がより低減できるため好ましい。補助配線106をアルミニウムで構成した場合、良好なコンタクトを得るために配線112をチタン膜とその上にアルミニウム膜を積層する構成にすることは有効である。

【0062】図1 (b) において、113は、図1 (c) に示すように、配線111の下側を交差する配線である。このような構造は、例えば周辺回路一体型の液晶表示装置の場合、周辺回路のクロック信号線と、該クロック信号線に接続される、周辺回路を構成する薄膜トランジスタのゲート配線などにおいて用いられる。

【0063】配線111の電気抵抗を低減する補助配線106と同層に、前記配線と交差する配線113が配置される場合、図1 (c) のように交差する部分及びその近傍の補助配線106を分断された構造としその間に交差する配線を配置すれば電気抵抗は十分に低減でき、かつ補助配線を形成しても工程は従来と変わらない。

【0064】上記のような本発明構成により、配線の電気抵抗を大幅に低減できる。しかも、配線に要する面積、線幅は従来と同じでできるため、隣合う配線間の容量は従来とほとんど変わらない。また、周辺回路一体型の液晶表示装置においては、配線と対向電極との容量が増加することもない。

【0065】その結果数MHz、例えば1MHz以上の高周波信号が印加される1cm以上、より好ましくは3cm以上（上限はパネルの大きさに従う）の配線において波形のなまりを効果的に低減できる。

【0066】その結果、薄膜トランジスタで構成された回路において、回路の誤動作の回避、動作タイミングのマージンの低減、正確な信号の伝送を実現できる。

【0067】また補助電極の作製は、従来走査線（ゲート線）やデータ線（ソース線）を作製していた工程において、マスクパターンを変更するだけで実現できる。その結果、作製工程は全く増加させずに、配線の低抵抗化を実現できる。

【0068】また、本発明の配線構造を有する半導体装置は、薄膜トランジスタがトップゲート型、ボトムゲート型の何れの構成であっても採用できる。

【0069】また、本発明の配線構造を周辺回路内の配

線すべてにおいて実施すると、配線が縦横に細かく入り組んでいる箇所などは、かえってショートを誘発してしまうことがある。

【0070】しかし本発明の配線構造は、高周波が印加される配線の一部分のみに適用した場合であっても電気抵抗の低減効果は得られる。したがって、当該配線全部ではなく、必要箇所のみ補助配線を設け、並列接続を実現すればよい。

【0071】この際、同種の高周波信号（例えばクロック信号とその反転信号、分割されたクロック信号、ビデオ信号等）が印加される複数の配線においては、各配線の抵抗値が概略同一となるようにすることは重要である。これにより、信号波形のなまり具合を各配線において揃えることができる。

【0072】また、例えば図5における周辺配線907部分に設けられた配線のみ、配線の全長にわたって補助配線を設け、周辺回路の配線908、909は補助配線を設けない構成としてもよい。周辺配線907は、周辺回路に入力されるまで交差する配線がなく、補助配線を分断することなく構成できるため、他の配線に補助配線を形成する場合に比較して、電気抵抗を効果的に低減できる。

【0073】また、補助配線の形成を、走査線やデータ線等の他の配線と同一層、同一工程ではなく、工程数は増加するが、必要に応じて補助配線のみを形成するための層を設け、さらなる電気抵抗の低減を図ってもよいことは言うまでもない。

【0074】本発明において、配線と補助配線は、互いに層間絶縁膜を介して設けられていれば、どの層に設けるかということは任意である。

【0075】補助配線の線幅を、該補助配線に接続される配線と概略同じ程度かそれ以下とする、特に液晶表示装置においては補助配線の存在による対向電極との容量の増加を防ぐため、好ましい。

【0076】

【実施例】

【実施例1】本実施例では、絶縁表面を有する基板上に、高周波駆動可能な薄膜トランジスタを形成する工程において、電気抵抗を低減した構造の配線を同時に形成する例を示す。ここでは、アクティブマトリクス型の液晶表示装置の回路側基板を作製する例を示す。

【0077】図2～図4に本実施例の作製工程を示す。図2～図4では、作製工程の断面を示し、各図において、左側が電気抵抗を低減した構造の配線が形成される領域（配線部）、中央が周辺回路を構成する相補構成の薄膜トランジスタが形成される領域（周辺回路部）、右側がアクティブマトリクス回路を構成する薄膜トランジスタが形成される領域（画素部）を示す。

【0078】本実施例で作製するパネルを用いて形成される液晶表示装置は、アクティブマトリクス回路でなる。

(6)

9

画素部が横10cmのVGA (640 (×3色) × 480画素) 構成を有する。

【0079】本実施例において、電気抵抗を低減した構造の配線は、周辺回路中のクロック信号線（入力されたクロック信号を周辺回路全体に伝達する線）を構成する（図5の配線908に相当）。勿論、他の高周波が印加される配線、例えばビデオ信号線等に適用してもよい。

【0080】また、この構造を周辺回路全ての配線に適用してもよいが、この場合、補助配線が設けられる層に、補助配線が接続される配線と交差する配線が多く設けられている場合、補助配線の分断箇所も多くなる。その結果、配線の電気抵抗の低減効果が十分に得られなくなったり、配線毎の信号のなまりの程度が揃わなくて不都合が生じる場合があるので注意が必要である。

【0081】まず、石英基板201上に下地膜202として酸化珪素膜を3000Åの厚さに成膜する。なお、石英基板の表面の平滑性が良く、また洗浄を十分にするのであれば、この下地膜202は特に必要ない。

【0082】なお基板としては石英基板を利用することが現状においては好ましい選択となるが、加熱処理温度に耐える基板であれば、石英に限定されるものではない。

【0083】次に結晶性珪素膜の出発膜となる非晶質珪素膜203を減圧熱CVD法でもって、500Åの厚さに成膜する。

【0084】次に図示しない酸化珪素膜を1500Åの厚さに成膜し、それをパターニングすることにより、204で示されるマスクを形成する。このマスクは205で示される領域に開口が形成されている。この開口205が形成されている領域においては、非晶質珪素膜203が露呈する。

【0085】開口205は、図面の奥行及び手前方向に長手方向を有する細長い長方形を有している。この開口203の幅は20μm以上とするのが適当である。またその長手方向の長さは必要とする長さでもって形成すればよい。

【0086】そして、結晶性を助長する金属元素としてニッケルを導入するため、重量換算で10ppmのニッケル元素を含んだ酢酸ニッケル溶液を塗布する。そして図示しないスピナーを用いてスピンドライを行い余分な溶液を除去する。ニッケル元素の導入量は、上記溶液中におけるニッケル元素の含有濃度で制御することができる。

【0087】結晶性を助長する金属元素としては、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを利用できる。

【0088】こうして、ニッケル元素が図2-(A)の点線206で示されるような状態で存在した状態が得られる。この状態では、ニッケル元素が開口205の底部に

10

おいて、非晶質珪素膜の一部に選択的に接して保持された状態が得られる。

【0089】なお、ニッケル元素の導入をイオン注入法を用いて行ってもよい。この場合、ニッケル元素の溶液を塗布する場合に比較して、ニッケル元素の導入位置をより精度よく制御することができる。したがって、ニッケル元素の導入領域の幅が数μmあるいはそれ以下の極めて狭い場合や、導入領域の形状が複雑な場合に特に有効である。

【0090】次に水素を3%含有した極力酸素を含まない窒素雰囲気中（また窒素雰囲気中）において、600°C、8時間の加熱処理を行う。すると、図2-(B)の207で示されるような基板201に平行な方向への結晶成長が進行する。

【0091】この結晶成長は、ニッケル元素が導入された開口205の領域から周囲に向かって進行する。この基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。

【0092】この結晶成長により得られる横成長した結晶性珪素膜の表面は、従来の低温ポリシリコンや高温ポリシリコンに比較して非常に平滑性の良いものが得られる。これは、結晶粒界の延在する方向が概略そろっていることに起因すると考えられる。

【0093】一般の多結晶珪素やポリシリコンと呼ばれる珪素膜は、その表面の凹凸は±100Å以上ある。しかし、本実施例で示すような横成長をさせた場合は、その表面の凹凸は±30Å以下であることが観察されている。この凹凸は、ゲート絶縁膜との間の界面特性を悪化させるものであり、極力小さいものであることが好ましい。

【0094】上記の結晶化のために加熱処理条件においては、この横成長を100μm以上にわたって行なうことができる。こうして横成長した領域を有する珪素膜208を得る。

【0095】この結晶成長のための加熱処理は、450°C～1100°C（上限は基板の耐熱性で規制される）で行なうことができる。ある程度の横成長距離を確保するのであれば、加熱処理の温度を500°C以上とすることが好ましい。しかし、それ以上に温度を上げることによる結晶成長距離や結晶性の向上はそれ程大きくない。（従って、経済性や工程の簡略化を考慮した場合、590°C～630°C、例えば600°C程度の加熱処理で十分である）

【0096】そしてニッケル元素を選択的に導入するための酸化珪素膜であるマスク204を除去する。

【0097】この状態においては、ニッケル元素が膜中に偏在している。特に、開口205が形成されていた領域と、207で示される結晶成長の先端部分においては、ニッケル元素が比較的高濃度に存在している。

【0098】従って、活性層の形成においては、それら

(7)

11

の領域を避けることが重要となる。即ち、活性層中に上記ニッケル元素が偏在した領域が存在しないようにすることが重要である。

【0099】結晶化の後にさらに、レーザー光の照射を行なってもよい。即ち、レーザー光の照射により、さらに結晶化を助長させてもよい。このレーザー光の照射は、膜中に存在するニッケル元素の固まりを分散させ、後にニッケル元素を除去し易くする効果を有している。なお、この段階でレーザー光の照射を行っても、さらに横成長が進行することはない。

【0100】レーザー光としては、紫外領域の波長を有するエキシマレーザーを利用することができます。例えば、KrFエキシマレーザー(波長248nm)やXeClエキシマレーザー(波長308nm)を利用することができる。

【0101】次にハロゲン元素を含んだ酸素雰囲気、例えばHClを3体積%含んだ酸素雰囲気において、950℃の加熱処理を行い、熱酸化膜209を200Åの厚さに成膜する。この熱酸化膜の形成に従い、珪素膜208の膜厚は100Å程度その膜厚が減少する。即ち、珪素膜の膜厚は、400Å程度となる。(図2.(C))

【0102】一般に、珪素膜の表面に形成される熱酸化膜は、表面に盛り上がる厚さと、内部に進行する酸化の距離とがほぼ同じものとなる。従って、例えば100Åの珪素膜の表面に100Åの熱酸化膜を形成すると、珪素膜の厚さは50Å減りし、50Å厚の珪素膜とその表面に形成された100Å厚の熱酸化膜という構成となる。

【0103】上記の工程においては、熱酸化膜の形成に従い、膜中の不安定な結合状態を有する珪素元素が熱酸化膜の形成に利用される。そして、膜中の欠陥が減少し、より高い結晶性を得ることができる。

【0104】また同時に熱酸化膜の形成およびハロゲン元素、ここでは塩素の作用により膜中よりニッケル元素のゲッタリングが行われる。

【0105】当然、熱酸化膜中には、比較的高濃度にニッケル元素が取り込まれることになる。そして相対的に珪素膜208中のニッケル元素は減少する。こうして図2.(C)に示す状態を得る。

【0106】熱酸化膜209を形成したら、この熱酸化膜209を除去する。こうして、ニッケル元素の含有濃度を減少させた結晶性珪素膜208を得る。

【0107】こうして得られた結晶性珪素膜は、一方向に結晶構造が延在した(この方向は結晶成長方向に一致する)構造を有している。即ち、細長い円柱状の結晶体が複数の一方向に延在した結晶粒界を介して、複数平行に並んでいる構造を有している。

【0108】次にパターニングを行うことにより、横成長領域でなる島状の領域210、211、212を形成する。この島状の領域210、211、212が後にT

(7)

12

FTの活性層となる。

【0109】ここでは、ソース領域とドレイン領域とを結ぶ方向と結晶成長方向とが一致または概略一致するようにパターンの位置取りを行う。こうすることで、キャリアの移動する方向と結晶格子が連続して延在する方向とを合わせることができ、結果として高い特性のTFTを得ることができる。

【0110】次に、酸化珪素膜213を1000Åの厚さにプラズマCVD法により成膜する。(図2.(D))

【0111】その後、熱酸化膜301、302、303を300Åの厚さに成膜する。この熱酸化膜は、HClを0.1~1.0体積%、例えば3体積%含有した酸素雰囲気において、950℃の加熱処理を行うことによって得る。

【0112】熱酸化膜301、302、303を成膜することにより、パターン(活性層となるパターン)210、211、212の膜厚は、250Åとなる。

【0113】この工程においても熱酸化膜209を成膜する場合と同様の効果を得ることができる。なお、この熱酸化膜209は、TFTのゲート絶縁膜の一部となる。

【0114】本実施例においては、最終的に得られる結晶性珪素膜でなる活性層210、211、212の膜厚(250Å)は、第2の熱酸化膜301、302、303の膜厚(300Å)よりも薄くなる。こうすることで、熱酸化膜の形成に従う特異な結晶構造を得るための効果を得ることができる。(図3.(A))

【0115】本実施例で示すTFTにおいて、活性層を構成する結晶性珪素膜は、その最終的な膜厚を好ましくは100Å~750Å、より好ましくは150Å~450Åとする。このような膜厚とすることにより、一方向に結晶性が連続した特定な結晶構造をより顕著な形で再現性良く得ることができる。

【0116】このようにして作製された結晶性珪素膜でなる活性層210、211、212に最終的に残存するニッケル元素の濃度は、SIMS(2次イオン分析法)を利用した計測で現状では、 1×10^{14} 原子個/cm³~ 5×10^{17} 原子個/cm³となるが、低いほど好ましい。

【0117】勿論、全体的な作製プロセスの見直し、洗浄工程の徹底、装置の洗浄度の徹底、といったことを行うことにより、結晶性珪素膜中に残存するニッケル元素濃度をさらに低減することは可能である。

【0118】また、熱酸化膜の作製工程において、当該金属元素が熱酸化膜中に移動する関係から、得られた結晶性珪素膜の厚さ方向におけるニッケル元素の濃度分布に勾配または分布が発生する。

【0119】一般に、熱酸化膜が形成される界面に向かって当該金属元素の濃度が高くなる傾向が観察される。また、条件によっては、基板または下地膜に向かって、

(8)

13

すなわち裏面側の界面に向かって当該金属元素の濃度が高くなる傾向も観察される（この違いは、出発膜となる非晶質珪素膜の膜質に大きく左右される）。

【0120】また、熱酸化膜の形成時に雰囲気中にハロゲン元素を含有させた場合、このハロゲン元素も上記金属元素と同様な濃度分布を示すものとなる。すなわち、結晶性珪素膜の表面および／または裏面に向かって含有濃度が高くなる濃度分布を示す（濃度分布の違いは、やはり出発膜の膜質によって左右される）。

【0121】次にゲイト電極および補助配線を形成するためのアルミニウム膜をスパッタ法で4000Åの厚さに成膜する。このアルミニウム膜中には、スカンジウムを0.2重量%含有させる。

【0122】アルミニウム膜中にスカンジウムを含有させるのは、後の工程において、ヒロックやウィスカーが発生することを抑制するためである。ヒロックやウィスカーというのは、加熱の際のアルミニウムの異常成長に起因する針状あるいは刺状の突起部のことである。

【0123】ゲイト電極を形成するための材料として、アルミニウム以外にタンタル（Ta）、多量にリン（P）がドープされた多結晶シリコン、タングステンのシリサイド（WSi）、またはリンドープされた多結晶シリコンとタングステンのシリサイドの積層または混成した構造としてもよい。

【0124】次に窒化珪素膜を500Åの厚さに成膜する。その後、レジストマスク308、309、310、311を利用してパターンニングを施し、304、305、306、307で示されるアルミニウムパターンと351、352、353、354で示される窒化珪素膜が形成された状態を得る。（図3（B））

【0125】ここで、レジストマスク308、309、310、311を配置した状態で陽極酸化を行う。ここでは、3%のシュウ酸水溶液を電解溶液として用いる。この電解溶液中において、アルミニウムのパターン304、305、306、307を陽極とした陽極酸化を行うことにより、316、317、318、319で示される多孔質状の陽極酸化膜が形成される。

【0126】この工程においては、上部にレジストマスク308、309、310、311及び窒化珪素膜351、352、353、354が存在する関係で、アルミニウムパターンの側面に選択的に陽極酸化膜316、317、318、319が形成される。

【0127】この陽極酸化膜は、その膜厚を数μmまで成長させることができる。ここでは、その膜厚を6000Åとする。なお、その成長距離は、陽極酸化時間によって制御することができる。

【0128】次に緻密な陽極酸化膜の形成を行う。即ち、3%の酒石酸を含んだエチレングルコール溶液を電解溶液とした陽極酸化を行う。

【0129】この工程においては、多孔質状の陽極酸化

14

膜316、317、318、319中に電解溶液が進入することと、各アルミニウムパターンの上面に窒化珪素膜351、352、353、354が存在している関係から、320、321、322、323で示されるよう緻密な膜質を有する陽極酸化膜が、アルミニウムパターンの側面のみに選択的に形成される。

【0130】この緻密な陽極酸化膜320、321、322、323の膜厚は1000Åとする。この膜厚の制御は印加電圧によって行う。

【0131】陽極酸化膜の形成が終了したら、レジストマスク308、309、310、311を除去する。

【0132】ここで、露呈した酸化珪素膜213をエッティングする。また同時に熱酸化膜301、302、303の一部をエッティングする。このエッティングはドライエッティングを利用する。こうして図3（C）に示す状態を得る。

【0133】そして酢酸と硝酸とリン酸とを混合した混酸を用いて多孔質状の陽極酸化膜316、317、318、319を除去する。さらに窒化珪素膜351、352、353、354を除去する。こうして図3（D）に示す状態を得る。

【0134】図3（D）に示すように、本実施例においては補助電極312は、ゲイト電極313、314、315と同一工程により同時に形成される。したがって、補助電極312の作製は、従来の工程においてマスクパターンの変更のみによって得られる。

【0135】本実施例においては、補助電極312の側面に緻密な陽極酸化膜320が形成されている。またその下面には、酸化珪素膜214、3が残存している。

【0136】図3（D）に示す状態を得たら、不純物イオンの注入を行う。ここでは、交互にレジストマスクを配置して、周辺回路部の左側、及び画素部の薄膜トランジスタにP（リン）イオンを、周辺回路部の右側の薄膜トランジスタにB（ホウ素）イオンを、プラズマドーピング法でもって行う。

【0137】この工程においては、ヘビードープがされる331、333、335、337、339、341の領域と、ライトドープがされる334、338、342の領域が形成される。これは、残存した酸化珪素膜325、326、327が半透過なマスクとして機能し、注入されたイオンの一部がそこで遮蔽されるからである。

【0138】そしてレーザー光（またはランプを用いた強光）の照射を行うことにより、不純物イオンが注入された領域の活性化を行う。こうして、ソース領域331、335、339、チャネル形成領域332、336、340、ドレイン領域333、337、341、低濃度不純物領域334、338、342が自己整合的に形成される。

【0139】ここで、334、338、342で示されるのが、LD（ライトドープドレイン）領域と称され

(9)

15

る領域である。(図3 (D))

【0140】なお、緻密な陽極酸化膜309の膜厚を2000Å以上というように厚くした場合、その膜厚でもってチャネル形成領域332、336、340の外側にオフセットゲート領域を形成することができる。

【0141】本実施例においてもオフセットゲート領域は形成されているが、その寸法が小さいのでその存在による寄与が小さく、また図面が煩雑になるので図中には記載していない。

【0142】なお、緻密な膜質を有する陽極酸化膜を2000Å以上というように厚く形成するのには、200V以上の印加電圧が必要とされるので、再現性や安全性に関して、注意が必要である。

【0143】次に第1の層間絶縁膜として、まず窒化珪素膜343を2000Å、プラズマCVD法で形成する。窒化珪素膜以外に、酸化珪素膜、または窒化珪素膜と酸化珪素膜の積層膜を用いることもできる。

【0144】さらに窒化珪素膜343上に、有機樹脂膜344をスピンドルコート法で形成する。有機樹脂の材料としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリルを利用することができます。(図3 (E))

【0145】次に、第1の層間絶縁膜343、344に対してコンタクトホールの形成を行う。次に、チタン/アルミニウム/チタンの積層膜を3000Å成膜後、パターニングして、ソース電極402、407、ドレイン電極406、409、ソース・ドレイン電極404、ゲート取り出し配線403、405、配線401を形成する。

【0146】配線401は、配線401の線方向にそつて複数設けられたコンタクトホールにより、補助電極312と電気的に並列に接続される。配線401は、補助電極312と並列接続されることにより電気抵抗が相当程度低減される。したがって、高周波を印加しても伝送される信号波形のなまりを大幅に低減できる。

【0147】また、配線401の下側を、補助電極312と同一層に設けられたゲート線(TFTのゲート電極に延在する)が交差する場合、補助電極312は交差するゲート線に対し、40μm離隔されるように分断されている。(図1 (b) に示す構成に相当)。

【0148】ドレイン電極409は、その一部が補助容量を形成するための電極として利用される。

【0149】こうして図4 (A) に示す薄膜トランジスタと電気抵抗が低減された配線が完成する。

【0150】なお、図においては、同じ断面上にソース/ドレイン電極とゲート取り出し配線403、405とが形成されているように記載されているが、実際には、ゲート配線はゲート電極313、314から延在した部分に形成される。

【0151】次に、第2の層間絶縁膜として、窒化珪素膜410を1000Åの厚さにプラズマCVD法で成膜

(9)

16

する。さらに、有機樹脂膜402をスピンドルコート法で成膜する。なお、有機樹脂材料としては、ポリイミド以外に、ポリアミド、ポリイミドアミド、アクリルを利用することができます。こうして、図4 (B) に示す状態を得る。

【0152】次に有機樹脂膜402に開口を形成し、さらにチタン膜とアルミニウム膜との積層膜でもってなるブラックマトリクス(BM)412を形成する。このブラックマトリクス412は、本来の遮光膜としての機能以外に、窒化珪素膜410、ドレイン電極409とで補助容量を形成するための電極として機能する。

【0153】ブラックマトリクス412を形成したら、第3の層間絶縁膜として、有機樹脂膜414を成膜する。そして、ドレイン電極409へのコンタクトホールを形成し、ITO(酸化インジウム・スズ)でなる画素電極415を形成する。

【0154】このようにして、アクティブマトリクス型液晶表示装置の回路側の基板が作製される。この後、当該基板の上面に配向処理がなされ、同じく配向処理がなされた、ITOを全面に形成した対向基板と対向配置されてパネルを構成する。パネル内に液晶材料を注入、封止することで、装置が完成する。

【0155】本実施例に示すTFTは、その特性として従来には得られなかつた極めて高いものを得ることができる。

【0156】例えば、N TFT(Nチャネル型のTFT)で、移動度が20.0~30.0(cm²/Vs)、S値が75~90(mV/dec)(V_D=1V)という高性能なものが得られる。P TFT(Pチャネル型のTFT)で、2.0~1.80(cm²/Vs)、S値が7.5~1.00(mV/dec)(V_D=1V)という高性能なものを得ることができる。

【0157】特にS値は、従来の高温ポリシリコンTFT及び低温ポリシリコンTFTの値に比較して、1/2以下という驚異的に良い値である。

【0158】そして、このTFTは駆動周波数を数10MHz~数100MHzといった極めて高い周波数でも動作させることができる。例えば、駆動信号の電圧が3.3~5Vにおいて、リングオシレータレベルで1GHz、シフトレジスタレベルで1.00MHzの動作を行なうことができる。

【0159】また、上述したような特異な結晶構造を有する結晶性珪素膜を利用した薄膜トランジスタは、その結晶構造に起因して短チャネル効果が現れにくいという特徴がある。また基板として絶縁体を利用することで基板の容量の問題がなく、高速動作に適するという特徴もある。

【0160】従来の単結晶シリコンウェハーを利用したMOS型トランジスタにおいては、スケーリング則というものがあった。これは、所定に法則に従ってトランジスタに寸法を小さくすれば、これまで所定の法則に従つ

(10)

17

てトランジスタの性能が高くなるというものである。

【0161】しかし、近年の微細化大きく進行した状態においては、このスケーリング則に従って、トランジスタの性能を高めることが困難になってきている。

【0162】その一つに短チャネル効果を抑制するためにチャネル長を短くすればするほど、チャネルの横に不純物のドーピングをしたりする細かな工夫が必要になり、作製工程上の困難性が増大するという点を挙げることができる。

【0163】しかし、上述した特異な結晶構造を有した結晶性珪素膜を用いた場合には、必要とする特性を上記のスケーリング則に従わない寸法で得ることができる。

【0164】これは、以下のような事項が要因であると考えられる。

(1) チャネルにおいてキャリアの移動する方向に柱状の結晶体の延在方向を合わせることにより、短チャネル効果が抑制される。

(2) 基板に絶縁体を利用することで、容量の問題が大きく抑制される。

(3) ゲート電極にアルミニウムを利用できるので、高速動作に有利である。

【0165】(1)については、以下のように考えることができる。即ち、一つ一つに柱状の結晶構造体は、不活性な結晶粒界により仕切られているが、この結晶粒界部分では、エネルギーにレベルが高いので、キャリアは結晶体の延在方向にその移動が寄生される。また同様な考え方により、ソース及びドレイン領域からのチャネル内部への空乏層の広がりも抑制される。このことが、短チャネル効果の抑制になっていると考えられる。

【0166】上述したスケーリング則に従わない具体的な例としては、以下のような例を挙げることができる。

【0167】例えば、従来にスケーリング則に従えば、ゲート絶縁膜の厚さが100Åでなければならないところ、本明細書で開示するような結晶性珪素膜を用いた場合、ゲート絶縁膜の厚さを300Åとして、同じ特性を得ることができる。その結果、耐静電気特性を高くできる。

【0168】これは、上述した(1)～(3)に示すような要因であると理解される。

【0169】また、ゲート絶縁膜の膜厚のみではなく、チャネル長に関しても従来のスケーリング則よりも緩い条件(1ランク下の条件)でもって、所定の特性を得ることができる。

【0170】これは、高速動作が可能な半導体回路を大面积にわたって低コストで作製する場合に有用なことである。

【0171】本実施例において、高い周波数が印加される長い配線401を、層間絶縁膜を介して補助配線312と電気的に並列に接続して構成したことにより、配線401の電気抵抗が飛躍的に低減し、伝送される信号波

50

18

形のなまりを大幅に低減できた。

【0172】その結果、信号線駆動用周辺回路中に設けられたクロック信号線が、約10cmと極めて長いにもかかわらず、クロック周波数を12.5MHzで動作させても、全く誤動作することがなく、良好な表示を行うことができた。

【0173】【実施例2】本実施例は、実施例1に示す配線401、補助配線312の構成を、信号線駆動用周辺回路に接続される周辺配線(図5の907に相当)において実施した例を示す。

【0174】すなわち、従来第1の層間絶縁膜上にのみ設けられていた周辺配線において、TFTのゲート電極と同一層にて、周辺配線の下側に周辺配線にそって補助配線を形成する。

【0175】周辺配線と補助配線は、周辺配線の線方向に複数設けられたコンタクトホールによって、並列接続されている。

【0176】周辺配線は、その上層または下層に交差する配線が無いため、配線全体にわたって補助配線を分断することなく並列接続できる。そのため、電気抵抗を低減する効果は極めて大きい。周辺配線のみに補助配線を設け、周辺回路は従来のままの1層構造のみ(すなわち補助配線を設けない)としても、高周波が印加される配線における信号波形のなまりを従来に比して大幅に低減できる。

【0177】【実施例3】本実施例は、実施例1の構成において、表示部であるアクティブマトリクス回路の信号線(ソース線)及び走査線(ゲート線)の双方において、補助配線を形成して配線の電気抵抗を低減した例を示す。

【0178】ゲート線は画素部のTFTのゲート電極315が延在したものであり、ソース線は画素部のTFTのソース電極402に延在したものである。

【0179】本実施例においては、窒化珪素膜343下のゲート線に対して、有機樹脂膜344上に、ソース線、ソース電極402と同一層にゲート線の補助配線が形成され、ゲート線方向にそって複数設けられたコンタクトホールにより並列接続されている。ゲート線の補助配線は、同一層に設けられたソース線とは分断して設けられている。

【0180】他方、有機樹脂膜344上のソース線においては、窒化珪素膜343下のゲート線、ゲート電極315と同一層によりソース線の補助配線が形成され、ソース線方向に複数設けられたコンタクトホールにより並列接続されている。ソース線の補助配線は、同一層のゲート線とは分断して設けられている。

【0181】ソース線、ゲート線のいずれの補助配線においても、分断部分は数1.0μm以上離れていることが好ましい。

【0182】このような構成とすることで、アクティブ

(11)

19

マトリクス部を構成する配線の電気抵抗を大幅に減らすことができ、表示面積が拡大しても、良好な表示を行うことができる。しかも、作製工程は従来と変わらず、マスクパターンの変更のみで実現できる。

【0183】【実施例4】本実施例は、実施例1～3で示した構成を逆スタガ型の薄膜トランジスタで構成する。各実施例で示したプレナー型の薄膜トランジスタに変えて、逆スタガ型の薄膜トランジスタとしても、同様の効果を得ることができる。

【0184】なお、逆スタガ型の薄膜トランジスタのゲイト電極として、ゲイト電極に耐熱性の高い材料、例えばリンが多量にドープされた多結晶シリコンを利用することは、高性能な薄膜トランジスタを得るために有効である。

【0185】

【発明の効果】本発明により、薄膜トランジスタを用いた集積回路、特に周辺回路一体型の液晶表示装置において、数10MHz以上の高い周波数の信号が印加される配線において、信号波形のなまりを著しく低減できた。また、従来の作製工程に比べて工程数を増加させることなく、本発明の構造を得ることができた。

【0186】本発明の半導体装置の構成は、数cm²といった大きな面積を有する基板上に薄膜トランジスタを利用して構成される集積回路における、あらゆる配線に対して適用が可能であり、信号波形のなまりや劣化を防止し、動作速度の向上や、画像表示を行う装置においては画質の向上を図ることができる。

【0187】本明細書で開示した発明は、透過型、反射

20

型のアクティブマトリクス型の液晶表示装置の、アクティブマトリクス回路と同一基板に形成される周辺回路を構成するのみでなく、他にEL（エレクトロルミネセンス）素子を用いた表示装置、その他薄膜トランジスタを用いた種々の回路にて利用することが可能である。

【図面の簡単な説明】

【図1】 本発明を用いた半導体装置の構成例を示す図。

【図2】 実施例の作製工程を示す図。

【図3】 実施例の作製工程を示す図。

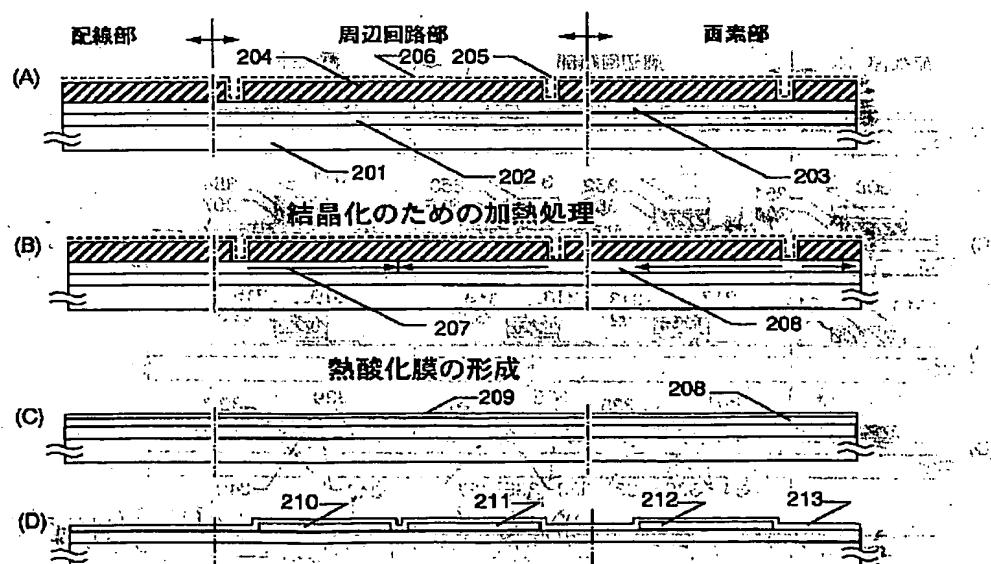
【図4】 実施例の作製工程を示す図。

【図5】 周辺回路一体型のアクティブマトリクス型液晶表示装置の上面図。

【符号の説明】

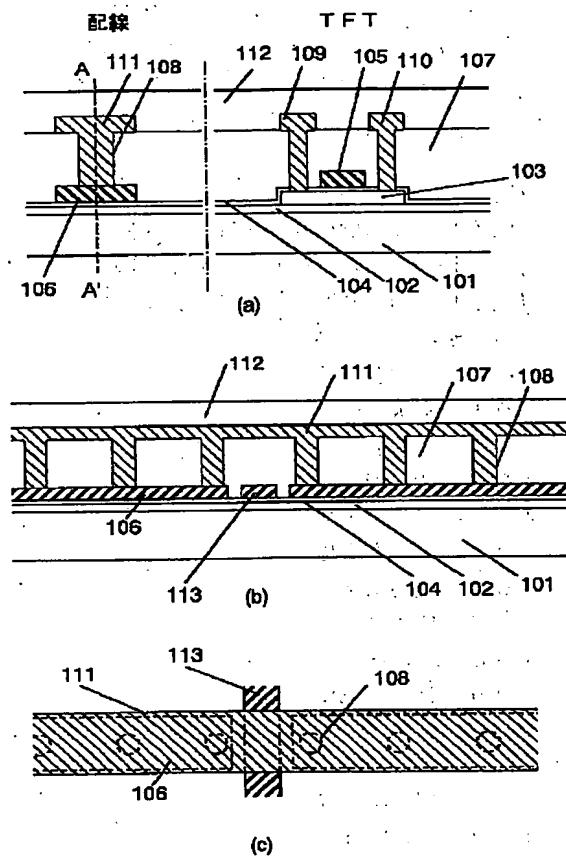
- 101 基板
- 102 下地膜
- 103 活性層
- 104 ゲイト絶縁膜
- 105 ゲイト電極
- 106 補助電極
- 107 層間絶縁膜
- 108 コンタクトホール
- 109 ソース電極
- 110 ドレイン電極
- 111 配線
- 112 層間絶縁膜
- 113 交差配線

【図2】

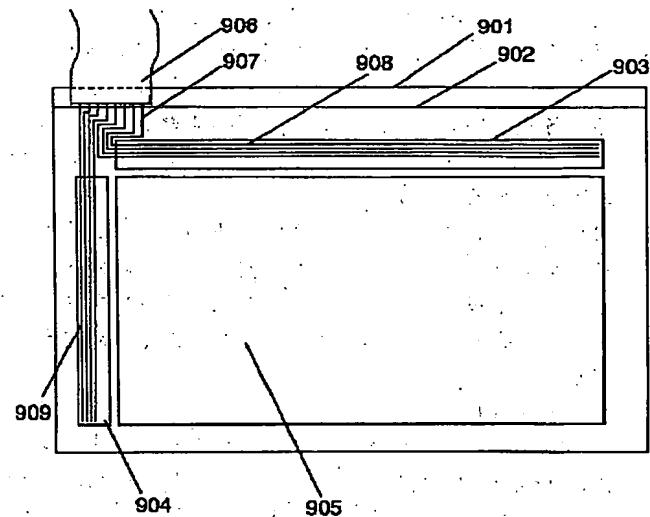


(12)

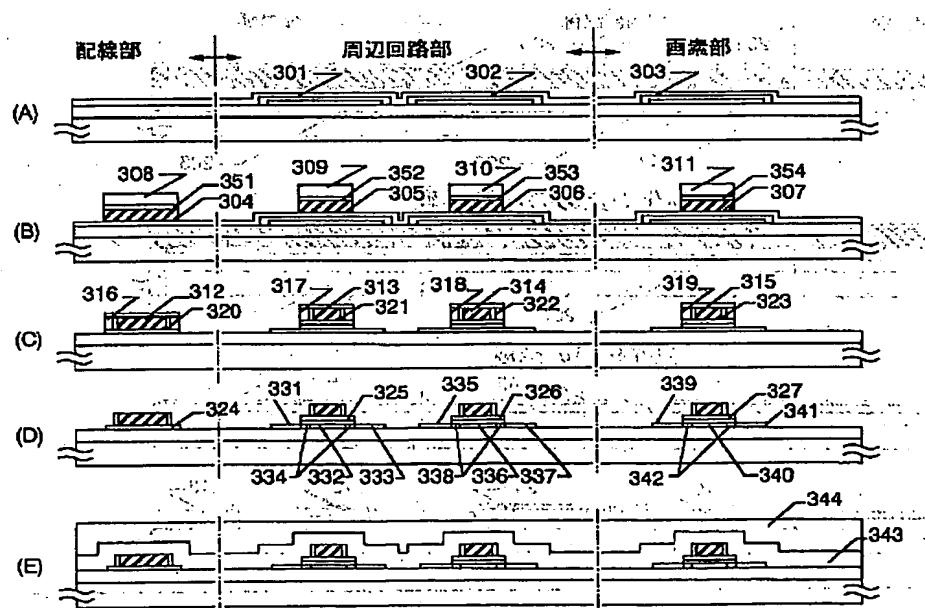
【図1】



[図5]

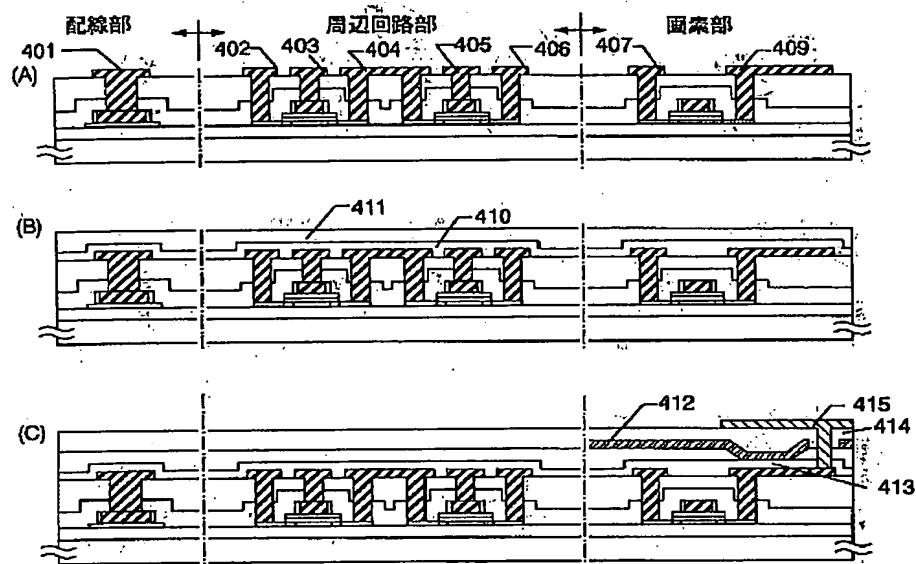


[図3]



(13)

【図4】



フロントページの続き

(72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成15年6月20日(2003.6.20)

【公開番号】特開平10-198292

【公開日】平成10年7月31日(1998.7.31)

【年通号数】公開特許公報10-1983

【出願番号】特願平8-358956

【国際特許分類第7版】

G09F 9/30 330

G02F 1/133 550

1/1345

1/136 500

H01L 29/786

【F I】

G09F 9/30 330 Z

G02F 1/133 550

1/1345

1/136 500

H01L 29/78 612 C

【手続補正書】

【提出日】平成15年3月6日(2003.3.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に結晶性珪素膜でなる活性層を有する薄膜トランジスタを用いて形成された回路が設けられ、

前記回路は層間絶縁膜上に形成された配線を有し、前記配線の少なくとも一部は、前記層間絶縁膜に形成されたコンタクトホールを介して補助配線と電気的に接続してなることを特徴とする半導体装置。

【請求項2】 絶縁表面を有する基板上に結晶性珪素膜でなる活性層を有する薄膜トランジスタを用いて形成された回路が設けられ、

前記回路は層間絶縁膜上に形成された1MHz以上の高周波が印加される配線を有し、前記配線の少なくとも一部は、前記層間絶縁膜に形成されたコンタクトホールを介して補助配線と電気的に接続してなることを特徴とする半導体装置。

【請求項3】 絶縁表面を有する基板上に結晶性珪素膜でなる活性層とゲイト絶縁膜とゲート電極とを有する薄膜トランジスタを用いて形成された回路が設けられ、前記回路は層間絶縁膜上に形成された配線を有し、前記配線の少なくとも一部は、前記層間絶縁膜に形成されたコンタクトホールを介して補助配線と電気的に接続してなり、前記補助配線は前記ゲート電極と同一材料でなることを特徴とする半導体装置。

【請求項4】 絶縁表面を有する基板上に結晶性珪素膜でなる活性層を有する薄膜トランジスタを用いて形成された回路が設けられ、前記回路には層間絶縁膜上に形成された周辺配線が接続され、

前記周辺配線の少なくとも一部は、前記層間絶縁膜に形成されたコンタクトホールを介して補助配線と電気的に接続してなることを特徴とする半導体装置。

【請求項5】 絶縁表面を有する基板上に結晶性珪素膜でなる活性層を有する薄膜トランジスタを用いて形成された回路が設けられ、

前記回路には層間絶縁膜上に形成された1MHz以上の高周波が印加される周辺配線が接続され、前記周辺配線の少なくとも一部は、前記層間絶縁膜に形成されたコンタクトホールを介して補助配線と電気的に接続してなることを特徴とする半導体装置。

【請求項6】 絶縁表面を有する基板上に結晶性珪素膜でなる活性層とゲイト絶縁膜とゲート電極とを有する薄膜トランジスタを用いて形成された回路が設けられ、

前記回路には層間絶縁膜上に形成された周辺配線が接続され、

(2)

され、

前記周辺配線の少なくとも一部は、前記層間絶縁膜に形成されたコンタクトホールを介して補助配線と電気的に接続してなり。

前記補助配線は前記ゲイト電極と同一材料でなることを特徴とする半導体装置。

【請求項7】 請求項3又は請求項6において、前記ゲイト電極はリンがドープされた多結晶シリコン、タングステンのシリサイド、又はリンがドープされた多結晶シリコンとタングステンのシリサイドとの積層からなることを特徴とする半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正内容】

【0059】図1 (b) は、図1 (a) のA-A'断面図である。図1 (b) において示すように、配線111と補助配線106は複数箇所において電気的に接觸しており、電気的に並列に接続されている。

【手続補正4】

2

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】配線111と補助配線106との接続を構成するコンタクトホールは、その数が多いほど配線111と補助配線106との電気的接続が良好となり、また接觸抵抗が低減し、ひいては配線111と補助配線106とでなす電気抵抗を更に低減できる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正内容】

【0061】配線111と補助配線106との接点における接觸性は高いほど、全体での電気抵抗がより低減できるため好ましい。補助配線106をアルミニウムで構成した場合、良好なコンタクトを得るために配線111をチタン膜とその上にアルミニウム膜を積層する構成にすることは有効である。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.